

2-7-02
B#4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Seiichi MORI

GAU: 2811

SERIAL NO: 09/876,019

EXAMINER:

FILED: June 8, 2001

FOR: SEMICONDUCTOR MEMORY INTEGRATED CIRCUIT AND ITS MANUFACTURING METHOD

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-174127	June 9, 2000
JAPAN	2001-171612	June 6, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND
MAIER & NEUSTADT, P.C.

Joseph A. Scafetta Jr.
Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.

Registration No. 26,803



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

RECEIVED
AUG 23 2001
TECHNOLOGY CENTER 2800

09/876,019



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 6月 9日

出 願 番 号
Application Number:

特願2000-174127

出 願 人
Applicant (s):

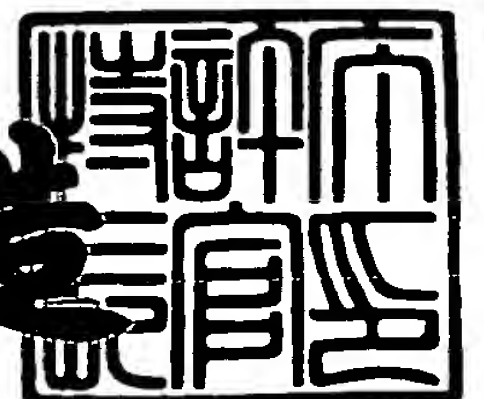
株式会社東芝

RECEIVED
AUG 23 2001
TECHNOLOGY CENTER 2800

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014494

【書類名】 特許願

【整理番号】 00P199

【提出日】 平成12年 6月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体メモリ集積回路及びその製造方法

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 森 誠一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100092820

【弁理士】

【氏名又は名称】 伊丹 勝

【電話番号】 03-5216-2501

【手数料の表示】

【予納台帳番号】 026893

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ集積回路及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

この半導体基板に形成された溝に埋め込まれた素子分離絶縁膜と、

前記半導体基板に浮遊ゲートと制御ゲートが積層された電氣的書き換え可能な不揮発性メモリセルが配列形成されたセルアレイと、

前記半導体基板のセルアレイの周囲に形成された周辺回路とを備え、

前記不揮発性メモリセルの浮遊ゲートの少なくとも最下層と、前記周辺回路のトランジスタのゲート電極の少なくとも最下層とが、前記素子分離絶縁膜埋め込み前に堆積されて素子分離絶縁膜に自己整合されて残され且つ、互いに異なる条件で不純物が添加されている

ことを特徴とする半導体メモリ集積回路。

【請求項 2】 前記周辺回路のトランジスタは、少なくとも 2 種の膜厚のゲート絶縁膜を有する

ことを特徴とする請求項 1 記載の半導体メモリ集積回路。

【請求項 3】 前記不揮発性メモリセルの浮遊ゲートと前記周辺回路の NMOS トランジスタのゲート電極とは異なる n 型不純物がドーピングされ、前記周辺回路の PMOS トランジスタのゲート電極には p 型不純物がドーピングされている

ことを特徴とする請求項 1 記載の半導体メモリ集積回路。

【請求項 4】 前記不揮発性メモリセルの浮遊ゲートにはリンがドーピングされている

ことを特徴とする請求項 1 記載の半導体メモリ集積回路。

【請求項 5】 前記不揮発性メモリセルの浮遊ゲートにはリンがドーピングされ、前記周辺回路の NMOS トランジスタのゲート電極には砒素がドーピングされている

ことを特徴とする請求項 1 記載の半導体メモリ集積回路。

【請求項 6】 前記不揮発性メモリセルの浮遊ゲートは、前記素子分離絶縁膜に自己整合された第 1 層ゲート電極材料膜とこれに積層された第 2 層ゲート電

極材料膜により形成され、制御ゲートは第 3 層ゲート電極材料膜により形成され、前記周辺回路のゲート電極は、前記第 1 層乃至第 3 層ゲート電極材料膜の 3 層積層構造により形成されている

ことを特徴とする請求項 1 記載の半導体メモリ集積回路。

【請求項 7】 前記不揮発性メモリセルの浮遊ゲートは、前記素子分離絶縁膜に自己整合された第 1 層ゲート電極材料膜とこれに積層された第 2 層ゲート電極材料膜により形成され、制御ゲートは第 3 層ゲート電極材料膜により形成され、前記周辺回路のゲート電極は、前記第 1 層及び第 3 層ゲート電極材料膜の 2 層積層構造により形成されている

ことを特徴とする請求項 1 記載の半導体メモリ集積回路。

【請求項 8】 半導体基板のセルアレイ領域及び周辺回路領域にそれぞれに必要な膜厚をもつ複数種のゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に不純物がドーピングされていない第 1 層ゲート電極材料膜を堆積する工程と、

前記第 1 層ゲート電極材料膜で覆われた前記半導体基板を選択エッチングして素子分離溝を形成し、この素子分離溝に素子分離絶縁膜を埋め込む工程と、

前記素子分離絶縁膜及びこれに囲まれた領域に自己整合的に残された前記第 1 層ゲート電極材料膜上に不純物がドーピングされていない第 2 層ゲート電極材料膜を堆積する工程と、

前記セルアレイ領域の第 1 層及び第 2 層ゲート電極材料膜に選択的に不純物を導入する工程と、

前記第 2 層ゲート電極材料膜を選択エッチングして前記セルアレイ領域内の前記素子分離絶縁膜上で分離する工程と、

前記セルアレイ領域の前記第 2 層ゲート電極材料膜上には選択的にゲート間絶縁膜を介在させ、前記ゲート間絶縁膜及び前記第 2 層ゲート電極材料膜上に不純物がドーピングされていない第 3 層ゲート電極材料膜を堆積する工程と、

前記第 1 層乃至第 3 層ゲート電極材料膜を選択エッチングして、前記セルアレイ領域に制御ゲート及び浮遊ゲートを形成し、前記周辺回路領域にゲート電極を形成する工程と、

前記セルアレイ領域及び周辺回路領域に複数の異なる条件で不純物を導入してソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程とを有することを特徴とする半導体メモリ集積回路の製造方法。

【請求項 9】 前記セルアレイ領域の第 1 層及び第 2 層ゲート電極材料膜に選択的に不純物を導入する工程は、リンをイオン注入するものであることを特徴とする請求項 8 記載の半導体メモリ集積回路の製造方法。

【請求項 1 0】 前記ソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程は、前記セルアレイ領域及び前記周辺回路領域の N M O S トランジスタ領域には砒素をイオン注入し、前記周辺回路領域の P M O S トランジスタ領域にはボロンをイオン注入するものであることを特徴とする請求項 8 記載の半導体メモリ集積回路の製造方法。

【請求項 1 1】 半導体基板のセルアレイ領域及び周辺回路領域にそれぞれに必要な膜厚をもつ複数種のゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に不純物がドーピングされていない第 1 層ゲート電極材料膜を堆積する工程と、

前記第 1 層ゲート電極材料膜で覆われた前記半導体基板を選択エッチングして素子分離溝を形成し、この素子分離溝に素子分離絶縁膜を埋め込む工程と、

前記素子分離絶縁膜及びこれに囲まれた領域に自己整合的に残された前記第 1 層ゲート電極材料膜上に不純物の拡散を阻止するためのバリア膜を形成する工程と、

前記バリア膜のうち前記セルアレイ領域上の部分を選択的に除去する工程と、

全面に不純物がドーピングされた第 2 層ゲート電極材料膜を堆積する工程と、

前記第 2 層ゲート電極材料膜を選択エッチングして前記セルアレイ領域内の前記素子分離絶縁膜上の前記第 2 層ゲート電極材料膜を除去すると共に前記周辺回路領域の前記第 2 層ゲート電極材料膜を除去する工程と、

前記セルアレイ領域の第 2 層ゲート電極材料膜上に選択的にゲート間絶縁膜を形成し且つ、前記周辺回路領域の前記バリア膜を除去した状態で不純物がドーピングされていない第 3 層ゲート電極材料膜を堆積する工程と、

前記第 1 層乃至第 3 層ゲート電極材料膜を選択エッチングして、前記セルアレ

イ領域には制御ゲート及び浮遊ゲートを形成し、前記周辺回路領域にゲート電極を形成する工程と、

前記セルアレイ領域及び周辺回路領域に複数の異なる条件で不純物を導入としてソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程とを有することを特徴とする半導体メモリ集積回路の製造方法。

【請求項 1 2】 前記第 2 層ゲート絶縁膜にドーピングされている不純物はリンである

ことを特徴とする請求項 1 1 記載の半導体メモリ集積回路の製造方法。

【請求項 1 3】 前記ソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程は、前記セルアレイ領域及び前記周辺回路領域の NMOS トランジスタ領域には砒素をイオン注入し、前記周辺回路領域の PMOS トランジスタ領域にはボロンをイオン注入するものである

ことを特徴とする請求項 1 1 記載の半導体メモリ集積回路の製造方法。

【請求項 1 4】 前記バリア膜は、シリコン酸化膜又はシリコン窒化膜である

ことを特徴とする請求項 1 1 記載の半導体メモリ集積回路の製造方法。

【請求項 1 5】 半導体基板のセルアレイ領域及び周辺回路領域にそれぞれに必要な膜厚を持つ複数種のゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に不純物がドーピングされていない第 1 層ゲート電極材料膜を堆積する工程と、

前記第 1 層ゲート電極材料膜で覆われた前記半導体基板を選択エッチングして素子分離溝を形成し、この素子分離溝に素子分離絶縁膜を埋め込む工程と、

前記セルアレイ領域上の前記第 1 層ゲート電極材料膜に不純物をドーピングする工程と、

上面が突出している前記素子分離絶縁膜を全面エッチングして前記第 1 層ゲート電極材料膜の側面を露出させる工程と、

前記第 1 層ゲート電極材料膜を覆うようにゲート間絶縁膜を形成する工程と、

全面に第 2 層ゲート電極材料膜を堆積する工程と、

前記第 1 層及び第 2 層ゲート電極材料膜を選択エッチングして前記セルアレイ

領域に制御ゲート及び浮遊ゲートを形成し、前記周辺回路領域にゲート電極を形成する工程と、

前記セルアレイ領域及び周辺回路領域に複数の異なる条件で不純物を導入してソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程とを有することを特徴とする半導体メモリ集積回路の製造方法。

【請求項 1 6】 半導体基板のセルアレイ領域及び周辺回路領域にそれぞれに必要な膜厚を持つ複数種のゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に不純物がドーピングされていない第 1 層ゲート電極材料膜を堆積する工程と、

前記第 1 層ゲート電極材料膜で覆われた前記半導体基板を選択エッチングして素子分離溝を形成し、この素子分離溝に素子分離絶縁膜を埋め込む工程と、

前記素子分離絶縁膜及びこれに囲まれた領域に自己整合的に残された前記第 1 層ゲート電極材料膜上に不純物の拡散を阻止するためのバリア膜を形成する工程と、

前記バリア膜のうち前記セルアレイ領域上の部分を選択的に除去する工程と、

全面に不純物がドーピングされた第 2 層ゲート電極材料膜を堆積する工程と、

前記セルアレイ領域の素子分離絶縁膜の上面が露出する程度まで前記第 2 層ゲート電極材料膜の全面を除去し平坦化する工程と、

前記周辺回路領域の前記第 2 層ゲート電極材料膜を除去する工程と、

上面が突出している前記素子分離絶縁膜を全面エッチングして前記第 2 層ゲート電極材料膜の側面を露出させる工程と、

前記セルアレイ領域上の前記第 2 層ゲート電極材料膜を覆うようにゲート間絶縁膜を形成する工程と、

全面に第 3 層ゲート電極材料膜を堆積する工程と、

前記第 1 層乃至第 3 層ゲート電極材料膜を選択エッチングして前記セルアレイ領域に制御ゲート及び浮遊ゲートを形成し、前記周辺回路領域にゲート電極を形成する工程と、

前記セルアレイ領域及び周辺回路領域に複数の異なる条件で不純物を導入してソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程と

を有することを特徴とする半導体メモリ集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電氣的書き換え可能な不揮発性メモリセルが配列されたセルアレイとその周囲に配置されるトランジスタ回路（周辺回路）により構成される半導体メモリ集積回路とその製造方法に関する。

【0002】

【従来の技術】

EEPROMフラッシュメモリのメモリセルは、浮遊ゲートと制御ゲートが積層されたトランジスタ構造を有する。このメモリセルの浮遊ゲートには通常多結晶シリコン膜が用いられ、リンが適正濃度にドーブされる。浮遊ゲートのリン濃度は、その下のトンネル絶縁膜や膜質や浮遊ゲート形成後の熱酸化による浮遊ゲート形状に影響を与える。これらのトンネル絶縁膜の膜質や浮遊ゲート形状は、メモリセルの特性や信頼性に大きくかわるため、他のパラメータとは独立に適正に制御することが必要になる。

【0003】

一方、セルアレイの周囲に設けられるトランジスタ回路（以下、単に周辺回路という）では、少なくともロジック回路にCMOS構造が用いられる。周辺回路のトランジスタを表面チャネル型として必要な性能を発揮させるためには、PMOSトランジスタではゲート電極にp型不純物（通常、ボロン）を、NMOSトランジスタではゲート電極にn型不純物（通常、砒素）をそれぞれドーブしなければならない。また、ゲートの空乏化を防止するためには一定濃度以上のドーブ量と活性化が必要である。

【0004】

以上のようなセルアレイ及び周辺回路での要請を考慮して、従来のフラッシュメモリでは例えば、次のような製造工程が用いられている。図35は、セルアレイ領域に着目した主要な工程を示している。図35（a）に示すように、シリコン基板1に、トンネル酸化膜2を形成し、この上に多結晶シリコン膜3aを堆積

した状態で、STI (Shallow Trench Isolation) 技術による素子分離を行う。即ち、RIE法により素子分離溝4を形成し、図35 (b) に示すように、素子分離溝4内に素子分離絶縁膜5を埋め込む。

なお多結晶シリコン膜3aは浮遊ゲートの下部層となるものである。

【0005】

続いて、浮遊ゲートの上部層となる多結晶シリコン膜3bを堆積する。このとき多結晶シリコン膜3bはリンがドーブされたものとする。これにより、その後の熱工程で多結晶シリコン膜3bのリンが下地の多結晶シリコン膜3aに拡散され、これらの積層膜からなる浮遊ゲートに不純物が均等にドーブされることになる。このときリン濃度は、適正にドーブすることによって、その後の酸化工程で浮遊ゲートのコーナーに丸みが入り、これが書き込みや消去時の浮遊ゲートエッジでの電界集中を防止する働きをする。

【0006】

浮遊ゲートのリン濃度が高すぎると、浮遊ゲート下のトンネル酸化膜2に悪影響が生じる。またリン濃度が低すぎると、浮遊ゲートの下端コーナーがとがったままとなり、電界集中が生じる。これは、メモリセルの書き込み、消去等の特性のばらつきや信頼性低下の原因となる。従って、浮遊ゲートのリン濃度の適正化はフラッシュメモリにとって重要である。また浮遊ゲートの不純物として砒素を用いると、リンを用いた場合のような熱酸化によるコーナーの丸みが得られないことが多く、リンを用いることが好ましい。

【0007】

図35 (c) の後、多結晶シリコン膜3bをエッチングして浮遊ゲートをセル毎に分離した後、ゲート間絶縁膜6を形成し、多結晶シリコン膜7を堆積して制御ゲートを形成する。ゲート間絶縁膜6には通常、酸化膜/窒化膜/酸化膜の複合膜 (ONO膜) を用いる。

【0008】

次に、周辺回路に着目すると、セルアレイ領域でゲート間絶縁膜6を形成した段階で、周辺回路領域ではこのゲート間絶縁膜をエッチング除去し、更に多結晶シリコン膜3a, 3bを除去し、トンネル酸化膜も除去する。そして、周辺回路

の各トランジスタ領域に必要とされる耐圧に応じて適当なゲート酸化膜をそれぞれ形成した後、セルアレイ領域で制御ゲートに用いられる多結晶シリコン膜 7 を堆積することになる。即ちこの多結晶シリコン膜 7 のパターニングにより、セルアレイ領域の制御ゲートと周辺回路のトランジスタのゲート電極が同時に形成される。

【 0 0 0 9 】

セルアレイの制御ゲート及び周辺回路のゲート電極が形成された後、セルアレイ領域及び周辺回路の NMOS トランジスタ領域に n 型不純物をイオン注入し、更に周辺回路の PMOS トランジスタ領域に p 型不純物をイオン注入する。これにより、セルアレイ領域及び周辺回路領域のソース、ドレイン拡散層が形成され、またセルアレイ領域の制御ゲートと周辺回路の NMOS トランジスタのゲート電極には n 型不純物が、周辺回路の PMOS トランジスタのゲート電極には p 型不純物がドーピングされる。

【 0 0 1 0 】

【発明が解決しようとする課題】

上述した従来の工程では、周辺回路領域では、セルアレイ領域と同時に形成されたトンネル酸化膜を除去し、新たに高電圧系回路トランジスタのゲート酸化膜を形成し、更にそのゲート酸化膜の一部をエッチング除去して低電圧系回路トランジスタのゲート酸化膜を形成するという工程が必要となる。この様な酸化膜エッチング工程を複数回繰り返すと、周辺回路領域では既に埋め込まれている素子分離絶縁膜の後退が生じる。図 3 6 (a) はその様子を示している。図 3 6 (a) の状態から、図 3 6 (b) に示すようにゲート酸化膜 8 を形成し、ゲート電極 9 を形成すると、破線 A で示すようにゲート電極 9 のエッジ部は、素子分離絶縁膜の抉られた部分に入り込んで素子領域の側面にも対向する状態になる。

【 0 0 1 1 】

図 3 6 (b) のような状態は、周辺回路トランジスタを短チャネル化したときに、通常の短チャネル効果とは逆にしきい値が低下する短チャネル効果（逆短チャネル効果）をもたらす。また、周辺回路トランジスタのリーク電流増加やサブスレッショルド特性の劣化、従って周辺回路でのスタンバイ電流の増加をもたら

す。更にゲート電極端部でのゲート絶縁膜の信頼性低下をももたらす。

【 0 0 1 2 】

この発明は、上記事情を考慮してなされたもので、周辺回路の特性及び信頼性向上を図った半導体メモリ集積回路とその製造方法を提供することを目的としている。

【 0 0 1 3 】

【課題を解決するための手段】

この発明に係る半導体メモリ集積回路は、半導体基板と、この半導体基板に形成された溝に埋め込まれた素子分離絶縁膜と、前記半導体基板に浮遊ゲートと制御ゲートが積層された電氣的書き換え可能な不揮発性メモリセルが配列形成されたセルアレイと、前記半導体基板のセルアレイの周囲に形成された周辺回路とを備え、前記不揮発性メモリセルの浮遊ゲートの少なくとも最下層と、前記周辺回路のトランジスタのゲート電極の少なくとも最下層とが、前記素子分離絶縁膜埋め込み前に堆積されて素子分離絶縁膜に自己整合されて残され且つ、互いに異なる条件で不純物が添加されていることを特徴とする。

【 0 0 1 4 】

この発明に係る半導体メモリ集積回路の第 1 の製造方法は、半導体基板のセルアレイ領域及び周辺回路領域にそれぞれに必要な膜厚をもつ複数種のゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に不純物がドーピングされていない第 1 層ゲート電極材料膜を堆積する工程と、前記第 1 層ゲート電極材料膜で覆われた前記半導体基板を選択エッチングして素子分離溝を形成し、この素子分離溝に素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜及びこれに囲まれた領域に自己整合的に残された前記第 1 層ゲート電極材料膜上に不純物がドーピングされていない第 2 層ゲート電極材料膜を堆積する工程と、前記セルアレイ領域の第 1 層及び第 2 層ゲート電極材料膜に選択的に不純物を導入する工程と、前記第 2 層ゲート電極材料膜を選択エッチングして前記セルアレイ領域内の前記素子分離絶縁膜上で分離する工程と、前記セルアレイ領域の前記第 2 層ゲート電極材料膜上には選択的にゲート間絶縁膜を介在させ、前記ゲート間絶縁膜及び前記第 2 層ゲート電極材料膜上に不純物がドーピングされていない第 3 層ゲート電極材料膜を堆積する工

程と、前記第 1 層乃至第 3 層ゲート電極材料膜を選択エッチングして、前記セルアレイ領域に制御ゲート及び浮遊ゲートを形成し、前記周辺回路領域にゲート電極を形成する工程と、前記セルアレイ領域及び周辺回路領域に複数の異なる条件で不純物を導入してソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程とを有することを特徴とする。

なおこの第 1 の製造方法において、セルアレイ領域について、第 2 層ゲート電極材料膜を堆積せず、第 1 層ゲート電極材料膜のみにより浮遊ゲートを形成するようにすることもできる。

【 0 0 1 5 】

この発明に係る半導体メモリ集積回路の第 2 の製造方法は、半導体基板のセルアレイ領域及び周辺回路領域にそれぞれに必要な膜厚をもつ複数種のゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に不純物がドーピングされていない第 1 層ゲート電極材料膜を堆積する工程と、前記第 1 層ゲート電極材料膜で覆われた前記半導体基板を選択エッチングして素子分離溝を形成し、この素子分離溝に素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜及びこれに囲まれた領域に自己整合的に残された前記第 1 層ゲート電極材料膜上に不純物の拡散を阻止するためのバリア膜を形成する工程と、前記バリア膜のうち前記セルアレイ領域上の部分を選択的に除去する工程と、全面に不純物がドーピングされた第 2 層ゲート電極材料膜を堆積する工程と、前記第 2 層ゲート電極材料膜を選択エッチングして前記セルアレイ領域内の前記素子分離絶縁膜上の前記第 2 層ゲート電極材料膜を除去すると共に前記周辺回路領域の前記第 2 層ゲート電極材料膜を除去する工程と、前記セルアレイ領域の第 2 層ゲート電極材料膜上に選択的にゲート間絶縁膜を形成し且つ、前記周辺回路領域の前記バリア膜を除去した状態で不純物がドーピングされていない第 3 層ゲート電極材料膜を堆積する工程と、前記第 1 層乃至第 3 層ゲート電極材料膜を選択エッチングして、前記セルアレイ領域に制御ゲート及び浮遊ゲートを形成し、前記周辺回路領域にゲート電極を形成する工程と、前記セルアレイ領域及び周辺回路領域に複数の異なる条件で不純物を導入してソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程とを有することを特徴とする。

【 0 0 1 6 】

この発明に係る半導体メモリ集積回路の第3の製造方法は、半導体基板のセルアレイ領域及び周辺回路領域にそれぞれに必要な膜厚を持つ複数種のゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に不純物がドーピングされていない第1層ゲート電極材料膜を堆積する工程と、前記第1層ゲート電極材料膜で覆われた前記半導体基板を選択エッチングして素子分離溝を形成し、この素子分離溝に素子分離絶縁膜を埋め込む工程と、前記セルアレイ領域上の前記第1層ゲート電極材料膜に不純物をドーピングする工程と、上面が突出している前記素子分離絶縁膜を全面エッチングして前記第1層ゲート電極材料膜の側面を露出させる工程と、前記第1層ゲート電極材料膜を覆うようにゲート間絶縁膜を形成する工程と、全面に第2層ゲート電極材料膜を堆積する工程と、前記第1層及び第2層ゲート電極材料膜を選択エッチングして前記セルアレイ領域に制御ゲート及び浮遊ゲートを形成し、前記周辺回路領域にゲート電極を形成する工程と、前記セルアレイ領域及び周辺回路領域に複数の異なる条件で不純物を導入してソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程とを有することを特徴とする。

【 0 0 1 7 】

この発明に係る半導体メモリ集積回路の第4の製造方法は、半導体基板のセルアレイ領域及び周辺回路領域にそれぞれに必要な膜厚を持つ複数種のゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に不純物がドーピングされていない第1層ゲート電極材料膜を堆積する工程と、前記第1層ゲート電極材料膜で覆われた前記半導体基板を選択エッチングして素子分離溝を形成し、この素子分離溝に素子分離絶縁膜を埋め込む工程と、前記素子分離絶縁膜及びこれに囲まれた領域に自己整合的に残された前記第1層ゲート電極材料膜上に不純物の拡散を阻止するためのバリア膜を形成する工程と、前記バリア膜のうち前記セルアレイ領域上の部分を選択的に除去する工程と、全面に不純物がドーピングされた第2層ゲート電極材料膜を堆積する工程と、前記セルアレイ領域の素子分離絶縁膜の上面が露出する程度まで前記第2層ゲート電極材料膜の全面を除去し平坦化する工程と、前記周辺回路領域の前記第2層ゲート電極材料膜を除去する工程と、上面が突出している前記素子分離絶縁膜を全面エッチングして前記第2層ゲート電極材料膜の側面

を露出させる工程と、前記セルアレイ領域上の前記第 2 層ゲート電極材料膜を覆うようにゲート間絶縁膜を形成する工程と、全面に第 3 層ゲート電極材料膜を堆積する工程と、前記第 1 層乃至第 3 層ゲート電極材料膜を選択エッチングして前記セルアレイ領域に制御ゲート及び浮遊ゲートを形成し、前記周辺回路領域にゲート電極を形成する工程と、前記セルアレイ領域及び周辺回路領域に複数の異なる条件で不純物を導入してソース、ドレイン拡散層を形成し、ゲート電極を低抵抗化する工程とを有することを特徴とする。

【 0 0 1 8 】

この発明によると、メモリセルの浮遊ゲートと制御ゲート、周辺回路のゲート電極にそれぞれ最適の不純物ドーピングが行える。また、セルアレイ領域及び周辺回路領域のゲート電極の少なくとも最下層が素子分離絶縁膜埋め込み前に堆積されて、素子分離絶縁膜に自己整合されて残される。従って、素子分離絶縁膜埋め込み後に複数の酸化膜エッチングを行って複数種のゲート絶縁膜形成を行う場合のように、周辺回路領域での素子分離絶縁膜の後退がなく、周辺回路トランジスタの特性及び信頼性向上が図られる。

【 0 0 1 9 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態 1】

図 1 ～図 1 3 は、この発明の実施の形態によるフラッシュメモリの製造工程を、セルアレイ領域、周辺回路の高電圧系回路領域及び低電圧系回路領域の断面について示している。この実施の形態では、図 1 に示すように、素子分離形成前に、シリコン基板 1 0 の各回路領域に必要な n 型ウェル 1 1 及び p 型ウェル 1 2 を形成する。更にこの実施の形態では、素子分離前に各回路領域に必要な膜厚の異なる複数種のゲート絶縁膜を形成する。

【 0 0 2 0 】

例えば、図 1 に示すように、セルアレイ領域に必要な 8 n m 程度のゲート絶縁膜としてトンネル酸化膜 2 1 a を最初に形成する。一般にトンネル酸化膜については、窒化処理を行う場合があるので最初に形成し、必要な処理を行う。次に、

図 2 に示すように多結晶シリコン膜 2 2 a を堆積し、これをセルアレイ領域のみに残してエッチング除去する。多結晶シリコン膜 2 2 a は、不純物がドーピングされていないものであり且つ、セルアレイ領域では浮遊ゲートの最下層となるものである。そして、セルアレイ領域が多結晶シリコン膜 2 2 a で保護された状態で熱酸化を行い、周辺回路領域には、高電圧系回路に必要とされるゲート酸化膜 2 1 b を形成する。そして周辺回路領域にチャネル不純物濃度制御のためのイオン注入を行う。

【 0 0 2 1 】

続いて、図 3 に示すように、セルアレイ領域及び周辺回路領域の中の高電圧系回路領域をレジスト 2 3 等で覆い、周辺回路領域の中の低電圧系回路領域のゲート絶縁膜 2 1 b をエッチング除去する。その後熱酸化を行って、図 4 に示すように、低電圧系回路領域に必要とされるゲート酸化膜 2 1 c を形成する。例えば、高電圧系回路のゲート酸化膜 2 1 b は、必要な膜厚を 1 7 n m として、当初は 1 4 n m 程度とする。そして低電圧系回路のゲート酸化膜 2 1 c を 8 n m 程度形成するとすると、この酸化工程で高電圧系回路のゲート酸化膜 2 1 b の膜厚が積み増しされて 1 7 n m 程度になる。

【 0 0 2 2 】

この後、図 5 に示すように多結晶シリコン膜 2 2 b を堆積する。この多結晶シリコン膜 2 2 b は、周辺回路領域のゲート電極の最下層となるもので、この段階では不純物はドーピングされていないものとする。このとき多結晶シリコン膜 2 2 b はセルアレイ領域の多結晶シリコン膜 2 2 a に積層されるが、この積層分は除去する。図 5 に示すように各回路領域にそれぞれ必要なゲート酸化膜 2 1 a, 2 1 b, 2 1 c が形成された状態でノンドープの多結晶シリコン膜 2 2 a, 2 2 b で覆われた状態を得る。ここまで、2 層の多結晶シリコン膜 2 2 a, 2 2 b が用いられているが、これらはセルアレイ領域の浮遊ゲート及び周辺回路領域のゲート電極の最下層をなすものであり、これをまとめて以下、第 1 層多結晶シリコン膜 2 2 という。

【 0 0 2 3 】

この発明の目的は、高性能の周辺回路をフラッシュメモリに搭載することにあ

る。ここまでの製造工程によれば、周辺回路トランジスタのチャネル制御用イオン注入を最後に行うことができるから、熱工程や酸化工程による周辺回路のチャネルの不純物拡散を最小限に抑えることができる。これにより、急峻なチャネル不純物濃度プロファイルを得ることができ、周辺回路トランジスタの性能を高いものとすることができる。

なお、図 5 までの工程において、例えば多結晶シリコン膜 2 2 a の表面を窒化膜で保護する等、いくつかの工程の追加、変更を加えることができる。

【 0 0 2 4 】

この後、図 6 に示すように、素子分離溝 1 3 を R I E により形成し、ここに素子分離絶縁膜 1 4 を埋め込む。この素子分離工程では例えば、第 1 層多結晶シリコン膜 2 2 上に堆積したシリコン窒化膜とシリコン酸化膜の積層膜からなるマスク（図示せず）が用いられ、素子分離絶縁膜 1 4 を平坦に埋め込んだ後、マスクを除去する。これにより、図 6 に示すように、第 1 層多結晶シリコン膜 2 2 が素子分離領域に自己整合された状態で各メモリセル領域及びトランジスタ領域に配置される。

【 0 0 2 5 】

この後、図 7 に示すように、第 2 層多結晶シリコン膜 2 4 を堆積する。この第 2 層多結晶シリコン膜 2 4 もノンドープとする。そして、図 8 に示すように、セルアレイ領域に開口を持つレジスト 2 5 をパターン形成し、セルアレイ領域の第 2 層多結晶シリコン膜 2 4 にリンをイオン注入し、その後これを第 1 層多結晶シリコン膜 2 2 まで拡散させる。このとき、第 1 層多結晶シリコン膜 2 2 と第 2 層多結晶シリコン膜 2 4 の不純物濃度は、 $10^{20}/\text{cm}^3$ の前半の比較的高濃度となるように、イオン注入条件を設定する。

【 0 0 2 6 】

但し、リンをイオン注入法で高濃度に導入する場合、リンがチャネリングを生じやすいため、トンネル酸化膜に損傷を与え、或いはその下の基板に導入されてしきい値制御に影響を与えるおそれがある。またイオン注入により金属や他の不純物が浮遊ゲートにたたき込まれ、トンネル酸化膜の異常リークの原因となったり、その後浮遊ゲートに形成されるゲート間絶縁膜の信頼性を劣化させるおそれ

がある。従ってイオン注入の加速電圧等を十分に考慮することが必要であるが、更にこれらの懸念を解消できる方法については、後の実施の形態で説明する。

【 0 0 2 7 】

次に、リソグラフィ工程を経て、図 9 に示すように、セルアレイ領域において第 2 層多結晶シリコン膜 2 4 を素子分離領域上で分離するエッチングを行う。セルアレイ領域では第 1 層多結晶シリコン膜 2 2 と第 2 層多結晶シリコン膜 2 4 の積層膜が浮遊ゲートとなるが、この段階では図の紙面に直交する方向については、メモリセル毎の浮遊ゲート分離はなされない。

【 0 0 2 8 】

この後、図 1 0 に示すように、メモリセルの浮遊ゲートとその上に形成される制御ゲートを分離するゲート間絶縁膜 2 6 を基板全面に形成する。このゲート間絶縁膜 2 6 は、ONO 膜である。そして、図 1 1 に示すように、セルアレイ領域を覆うレジスト 2 7 をパターン形成し、周辺回路領域のゲート間絶縁膜 2 6 をエッチング除去する。

【 0 0 2 9 】

その後、図 1 2 に示すように第 3 層多結晶シリコン膜 3 8 を全面に堆積する。この第 3 層多結晶シリコン膜 2 8 もノンドープ膜であり、セルアレイ領域では制御ゲートになるもの、周辺回路領域ではゲート電極の最上層となるものである。周辺回路領域では、3 層のノンドープ多結晶シリコン膜 2 2，2 4，2 8 は互いに接して積層されたことになる。

【 0 0 3 0 】

続いて、各部のゲート電極加工を行う。図 1 3 に示すように、セルアレイ領域では、第 3 層多結晶シリコン膜 2 8 をワード線として連続する制御ゲートとしてパターン形成し、これに自己整合的に第 2 層多結晶シリコン膜 2 4 及び第 1 層多結晶シリコン膜 2 2 をパターン形成して、図の紙面に直交する方向の各メモリセル毎の浮遊ゲートを分離する。また周辺回路領域では、3 層の多結晶シリコン膜 2 2，2 4，2 8 をパターン加工して各ゲート電極及びゲート配線を形成する。図 1 3 では、高電圧系回路に PMOS トランジスタのゲート電極 G 1 1 と NMOS トランジスタのゲート電極 G 1 2 が形成され、低電圧系回路に PMOS トラン

ジスタのゲート電極G 2 1とNMOSトランジスタのゲート電極G 2 2がパターン形成された様子を示している。

【 0 0 3 1 】

この後、各回路領域にそれぞれ別の条件でイオン注入を行って、各ゲート電極の導電型と不純物濃度を最適設定し、ソース、ドレイン拡散層を形成する。その条件は、後述する。その後、図1 4に示すように、各拡散層及びゲート電極の表面に、低抵抗化のためにC o等の高融点金属のサリサイド膜2 9を形成する。

【 0 0 3 2 】

上述した各素子領域への不純物イオン注入について、図1 5を用いながら、具体的に説明する。図1 5は、サリサイド工程まで終了した状態でのメモリセルの構造、周辺回路の各トランジスタの構造を、図1 4までの工程図とは直交する方向について示したものである。まず、周辺回路領域をマスクで覆って、セルアレイ領域に砒素を $5 \times 10^{14} \sim 5 \times 10^{13} / \text{cm}^2$ のドーズ量でイオン注入する。これにより、第3層多結晶シリコン膜2 8からなる制御ゲートが n^+ 型となり、またメモリセルの n^+ 型ソース、ドレイン拡散層3 1が形成される。また、セルアレイ領域及び周辺回路のPMOSトランジスタ領域をマスクで覆って、加速電圧3 5 K e Vで、砒素をセルアレイ領域より高濃度に、 $3 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入する。これにより、NMOSトランジスタのゲート電極G 1 1, G 2 1が n^+ 型となり、また n^+ 型ソース、ドレイン拡散層3 2が形成される。更に、セルアレイ領域及び周辺回路のNMOSトランジスタ領域をマスクで覆って、ボロンを加速電圧7 K e Vで、 $3 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入する。これにより、PMOSトランジスタのゲート電極G 1 2, G 2 2が p^+ 型となり、また p^+ 型ソース、ドレイン拡散層3 3が形成される。

【 0 0 3 3 】

なお、実際のサリサイド工程では、C o等の高融点金属堆積前に、図1 5に示したように各ゲート電極を後酸化による酸化膜3 5で覆い、シリコン窒化膜による側壁絶縁膜3 6を形成する。そして、ゲート電極表面と拡散層表面を露出させて高融点金属膜を堆積して、熱処理を行いサリサイド膜2 9を形成することになる。

また、周辺回路領域のトランジスタには実際にはLDD構造を用いる。この場合、PMOSトランジスタ、NMOSトランジスタ毎に、側壁絶縁膜36の形成前にイオン注入を行ってそれぞれ、最適濃度で p^- 拡散層、 n^- 拡散層を形成し、側壁絶縁膜36を形成した後に前述の高濃度イオン注入を行って、 p^+ 拡散層、 n^+ 拡散層を形成することになる。

【0034】

以上により、素子形成工程は終了する。この後は図示しないが、層間絶縁膜を堆積し、コンタクト開口を行い、ビット線やソース線等の金属配線を形成する。

この実施の形態によると、セルアレイ領域のトンネル絶縁膜、周辺回路の高電圧系トランジスタ及び低電圧系トランジスタのゲート絶縁膜をそれぞれ最適条件で形成した後に、STI技術による素子分離を行っている。従って、素子分離後に酸化膜エッチングを繰り返すという従来法による場合のような周辺回路部の埋め込み絶縁膜の後退が防止され、周辺回路のトランジスタ特性の劣化が防止される。

【0035】

また、セルアレイ領域の浮遊ゲートは2層多結晶シリコン構造、周辺回路トランジスタのゲート電極は3層多結晶シリコン構造として、これらにはそれぞれ最適の不純物添加条件（導電型及び濃度）が適用されるから、セルアレイの書き込み、消去特性の安定化、周辺回路特性の高性能化、更にフラッシュメモリの高信頼性化が図られる。

特にこの実施の形態の場合、セルアレイの浮遊ゲートの不純物にはリンがドーピングされており、これにより浮遊ゲートのコーナーが後の酸化工程で丸められる結果、高い昇圧電位が用いられる書き込みや消去における電界集中が防止される。従って、セル間のばらつきが抑制され、タイトな書き込み及び消去分布が得られる等、チップとして優れた書き込み及び消去特性が得られる。周辺回路のNMOSトランジスタでは、ソース、ドレイン拡散層及びゲート電極に砒素がドーピングされて、浅い拡散層による高性能のトランジスタが得られる。

【0036】

〔実施の形態2〕

この発明の別の実施の形態による製造工程を、図 1 6 ～図 2 2 を用いて次に説明する。図 1 から図 6 までの製造工程は、この実施の形態でも同じである。即ち、セルアレイ領域、周辺回路の高電圧系回路、低電圧系回路領域にそれぞれ最適のゲート絶縁膜が形成され、これらの上にノンドープの第 1 層多結晶シリコン膜 2 2 が形成された状態で、素子分離絶縁膜 1 4 が埋め込み形成される。

【 0 0 3 7 】

図 6 の工程の後、この実施の形態では図 1 6 に示すように、全面に不純物拡散に対する障壁となり且つ、エッチングストップともなるバリア膜（ブロック膜） 4 1 を形成する。このバリア膜 4 1 は例えば C V D によるシリコン酸化膜が用いられるが、シリコン窒化膜でもよい。この後、図 1 7 に示すように、セルアレイ領域に開口を持つレジスト 4 2 をパターン形成し、このレジスト 4 2 をマスクとしてセルアレイ領域のバリア膜 4 1 を選択的にエッチング除去する。

【 0 0 3 8 】

この後、図 1 8 に示すように、全面に第 2 層多結晶シリコン膜 2 4 を堆積する。この第 2 層多結晶シリコン膜 2 4 は、先の実施の形態 1 と異なり、膜堆積中にリンがドーパされた多結晶シリコンであるとする。これにより、セルアレイ領域においてのみ、第 2 層多結晶シリコン膜 2 4 と第 1 層多結晶シリコン膜 2 2 が直接接触する。そしてこの後の熱工程で第 2 層多結晶シリコン膜 2 4 のリンが第 1 層多結晶シリコン膜 2 2 に拡散し、セルアレイ領域ではこの複合膜が浮遊ゲートとなる。周辺回路領域では第 2 層多結晶シリコン膜 2 4 から第 1 層多結晶シリコン膜 2 2 へのリン拡散はバリア膜 4 1 により阻止される。

【 0 0 3 9 】

この後、図 1 9 に示すように、セルアレイ領域では素子分離領域に開口を持ち且つ、周辺回路領域全体に開口を持つレジスト 4 3 をパターン形成し、第 2 層多結晶シリコン膜 2 4 を選択エッチングする。これにより、セルアレイ領域では第 1 層多結晶シリコン膜 2 2 と第 2 層多結晶シリコン膜 2 4 からなる浮遊ゲートの素子分離領域上での分離がなされ、また周辺回路領域では第 2 層多結晶シリコン膜 2 4 は除去される。

【 0 0 4 0 】

その後、図 2 0 に示すように、セルアレイ領域の浮遊ゲートと制御ゲートを分離するためのゲート間絶縁膜 2 6 を形成する。先の実施の形態と同様、ゲート間絶縁膜 2 6 は O N O 膜とする。そして、図 2 1 に示すように、セルアレイ領域を覆うレジスト 4 4 をパターン形成し、周辺回路領域に形成されたゲート間絶縁膜 2 6 をエッチング除去し、更にその下のバリア膜 4 1 もエッチング除去する。

【 0 0 4 1 】

続いて、図 2 2 に示すように、第 3 層多結晶シリコン膜 2 8 を堆積する。この第 3 層多結晶シリコン膜 2 8 は、先の実施の形態と同様にノンドープとする。この後は、先の実施の形態 1 において図 1 3 以下で説明したと同様の工程に従い、各回路領域のゲート電極をパターン形成し、各回路領域にそれぞれ別の条件でイオン注入を行って、各ゲート電極の導電型と不純物濃度を最適設定し、ソース、ドレイン拡散層を形成する。その条件は、先の実施の形態 1 と同様とする。その後好ましくは、各拡散層及びゲート電極の表面に、低抵抗化のために C o 等の高融点金属のサリサイド膜を形成する。

【 0 0 4 2 】

この実施の形態によっても、セルアレイ領域のトンネル絶縁膜、周辺回路の高電圧系トランジスタ及び低電圧系トランジスタのゲート絶縁膜をそれぞれ最適条件で形成した後に、S T I 技術による素子分離を行われ、周辺回路部の埋め込み絶縁膜の後退によるトランジスタ特性の劣化が防止される。

またこの実施の形態の場合、メモリセルの浮遊ゲートへのリン導入に、イオン注入を用いない。即ち、第 2 層多結晶シリコン膜の堆積時にリンドープを行い、これを固相拡散によって、浮遊ゲートの下部層となる第 1 層多結晶シリコン膜に拡散させている。従って、高濃度リンイオン注入を行う場合のようなチャネリングによるトンネル酸化膜の損傷やその他の悪影響が防止される。

また、セルアレイ領域の浮遊ゲート、周辺回路トランジスタのゲート電極ともに 2 層多結晶シリコン構造となるが、これらにはそれぞれ最適の不純物添加条件（導電型及び濃度）が適用されるから、セルアレイの書き込み、消去特性の安定化、周辺回路特性の高性能化、更にフラッシュメモリの高信頼性化が図られる。

【 0 0 4 3 】

〔実施の形態 3〕

上記実施の形態 1 の工程を変形して、浮遊ゲートの切り離しを自己整合的に行うようにした実施の形態を、図 2 3 ～図 2 8 を参照して説明する。実施の形態 1 の図 6 までは、同様の工程をとる。図 2 3 は、図 6 に相当するが、この実施の形態の場合素子分離絶縁膜 1 4 の側面形状は、垂直が好ましく、図 2 3 では垂直側面を持つ素子分離絶縁膜 1 4 を示している。

【 0 0 4 4 】

この後、図 2 4 に示すように、リソグラフィによりセルアレイ領域に開口を持つレジスト 5 1 を形成し、セルアレイ領域の浮遊ゲートとなる第 1 層多結晶シリコン膜 2 2 にリンイオン注入を行う。次に、素子分離絶縁膜 1 4 を全面エッチングして、図 2 5 に示すように、第 1 層多結晶シリコン膜 2 2 の側面を露出させる。続いて、図 2 6 に示すように、ONO 膜によるゲート間絶縁膜 2 6 を形成する。

【 0 0 4 5 】

次に、図 2 7 に示すように、リソグラフィにより周辺回路領域に開口を持つレジスト 5 2 をパターン形成し、周辺回路領域のゲート間絶縁膜 2 6 をエッチング除去する。次いで、図 2 8 に示すように、第 2 層ゲート電極材料膜である多結晶シリコン膜 2 4 を全面に堆積する。この多結晶シリコン膜 2 4 は、セルアレイ領域の制御ゲートとなり、周辺回路領域では第 1 層多結晶シリコン膜 2 2 と共にゲート電極となるものであり、その後は実施の形態 1 と同様の工程に従う。

【 0 0 4 6 】

この実施の形態によれば、周辺回路には高性能トランジスタを集積することができるのみならず、セルアレイ領域では第 1 層多結晶シリコン膜 2 2 のみによる浮遊ゲートが自己整合的に分離されるため、セルサイズの縮小が可能になる。また、第 1 層多結晶シリコン膜 2 2 による浮遊ゲートは、素子分離領域には延在しないが、その側面にも制御ゲートを対向させるようにしているので、制御ゲートと浮遊ゲートの間の結合容量を大きく確保することができる。

【 0 0 4 7 】

〔実施の形態 4〕

上記実施の形態 2 の工程を変形して、浮遊ゲートの切り離しを自己整合的に行うようにした実施の形態を、図 2 9 ～ 図 3 4 を参照して説明する。実施の形態 2 の図 1 8 までは、同様の工程をとる。図 2 9 は、図 1 8 に相当するが、この実施の形態の場合素子分離絶縁膜 1 4 の側面形状は、垂直が好ましく、図 2 9 では垂直側面を持つ素子分離絶縁膜 1 4 を示している。

【 0 0 4 8 】

この後、CMP 法によりリンを含有した第 2 層多結晶シリコン膜 2 4 を平坦化する。これにより、図 3 0 に示すように、第 2 層多結晶シリコン膜 2 4 は、セルアレイ領域では素子分離絶縁膜 1 4 に挟まれたメモリセル領域のみに自己整合的に残され、第 1 層多結晶シリコン膜 2 2 と共に浮遊ゲートとして用いられる。次に、図 3 1 に示すようにセルアレイ領域をレジスト 6 1 で覆い、周辺回路領域に残る第 2 層多結晶シリコン膜 2 4 を C D E 法により除去する。

【 0 0 4 9 】

次に、基板全面について、バリア膜 4 1 及び素子分離絶縁膜 1 4 を含む酸化膜エッチングを行い、セルアレイ領域では少なくとも第 2 層多結晶シリコン膜 2 4 の側面が露出するまで素子分離絶縁膜上面を後退させる。そして、図 3 2 に示すように、メモリセルの浮遊ゲートと制御ゲートを分離するための、O N O 膜によるゲート間絶縁膜 2 6 を形成する。次に、図 3 3 に示すように、セルアレイ領域を覆うレジスト 6 2 をリソグラフィにより形成し、周辺回路領域のゲート間絶縁膜 2 6 をエッチング除去する。続いて、図 3 4 に示すように、全面に、メモリセルの制御ゲートとなり、周辺回路のトランジスタのゲート電極の一部となる第 3 層多結晶シリコン膜 2 8 を堆積する。その後は、実施の形態 2 と同様の工程をとる。

【 0 0 5 0 】

この実施の形態によっても、周辺回路には高性能トランジスタを集積することができるとはならず、セルアレイ領域では第 1 層多結晶シリコン膜 2 2 と第 2 層多結晶シリコン膜 2 4 による浮遊ゲートが自己整合的に分離されるため、セルサイズの縮小が可能になる。また、第 1 層多結晶シリコン膜 2 2 と第 2 層多結晶シリコン膜 2 4 による浮遊ゲートは、素子分離領域には延在しないが、その側面に

も制御ゲートを対向させるようにしているので、制御ゲートと浮遊ゲートの間の結合容量を大きく確保することができる。

【 0 0 5 1 】

この発明は、上記実施の形態に限られない。例えば上記実施の形態では、ゲート電極材料膜として多結晶シリコン膜を用いたが、アモルファスシリコン膜を用いることもできる。

【 0 0 5 2 】

【発明の効果】

以上述べたようにこの発明によれば、S T I による素子分離工程前に各回路領域に必要なゲート絶縁膜を形成し、このゲート絶縁膜がゲート電極の最下層材料膜で覆われた状態とすることにより、素子分離絶縁膜の後退による周辺回路トランジスタの特性劣化を防止することができる。更にセルアレイの浮遊ゲート及び周辺回路領域の各トランジスタのゲート電極にそれぞれ最適条件で不純物ドーピングを行うことにより、高性能フラッシュメモリを得ることができる。

【図面の簡単な説明】

【図 1】

この発明の実施の形態 1 によるフラッシュメモリのトンネル絶縁膜形成工程を示す断面図である。

【図 2】

同実施の形態 1 の高電圧系回路のゲート絶縁膜形成工程を示す断面図である。

【図 3】

同実施の形態 1 の低電圧系回路のゲート絶縁膜を選択除去する工程を示す断面図である。

【図 4】

同実施の形態 1 の低電圧系回路のゲート絶縁膜を形成する工程を示す断面図である。

【図 5】

同実施の形態 1 の各回路領域が第 1 層多結晶シリコン膜で覆われた状態を示す図である。

【図 6】

同実施の形態 1 の素子分離絶縁膜埋め込み工程を示す断面図である。

【図 7】

同実施の形態 1 の第 2 層多結晶シリコン膜堆積工程を示す断面図である。

【図 8】

同実施の形態 1 のセルアレイ領域への不純物イオン注入工程を示す断面図である。

【図 9】

同実施の形態 1 のセルアレイ領域での浮遊ゲート分離工程を示す断面図である。

【図 1 0】

同実施の形態 1 のゲート間絶縁膜形成工程を示す断面図である。

【図 1 1】

同実施の形態 1 の周辺回路領域でゲート間絶縁膜を除去する工程を示す断面図である。

【図 1 2】

同実施の形態 1 の第 3 層多結晶シリコン膜堆積の工程を示す断面図である。

【図 1 3】

同実施の形態 1 のゲート電極パターンニング工程を示す断面図である。

【図 1 4】

同実施の形態 1 のサリサイド工程を示す断面図である。

【図 1 5】

同実施の形態 1 の各回路領域の素子構造を示す断面図である。

【図 1 6】

この発明の実施の形態 2 のブロック膜形成工程を示す断面図である。

【図 1 7】

同実施の形態 2 のブロック膜を選択エッチングする工程を示す断面図である。

【図 1 8】

同実施の形態 2 の第 2 層多結晶シリコン膜堆積工程を示す断面図である。

【図 1 9】

同実施の形態 2 の第 2 層多結晶シリコン膜の選択エッチング工程を示す断面図である。

【図 2 0】

同実施の形態 2 のゲート間絶縁膜形成工程を示す断面図である。

【図 2 1】

同実施の形態 2 のゲート間絶縁膜及びブロック膜エッチングの工程を示す断面図である。

【図 2 2】

同実施の形態 2 の第 3 層多結晶シリコン膜堆積工程を示す断面図である。

【図 2 3】

この発明の実施の形態 3 における図 6 対応の断面図である。

【図 2 4】

同実施の形態 3 のセルアレイ領域の第 1 層多結晶シリコン膜に対するイオン注入工程を示す断面図である。

【図 2 5】

同実施の形態 3 の酸化膜エッチング工程を示す断面図である。

【図 2 6】

同実施の形態 3 のゲート間絶縁膜形成工程を示す断面図である。

【図 2 7】

同実施の形態 3 の周辺回路領域でのゲート絶縁膜エッチング工程を示す断面図である。

【図 2 8】

同実施の形態 3 の第 2 層多結晶シリコン膜堆積の工程を示す断面図である。

【図 2 9】

この発明の実施の形態 4 における図 1 8 対応の断面図である。

【図 3 0】

同実施の形態 4 の第 2 層多結晶シリコン膜平坦化の工程を示す断面図である。

【図 3 1】

同実施の形態 4 の周辺回路領域での第 2 層多結晶シリコン膜エッチングの工程を示す断面図である。

【図 3 2】

同実施の形態 4 のゲート間絶縁膜形成工程を示す断面図である。

【図 3 3】

同実施の形態 4 の周辺回路領域でのゲート間絶縁膜エッチングの工程を示す断面図である。

【図 3 4】

同実施の形態 4 の第 3 層多結晶シリコン膜堆積の工程を示す断面図である。

【図 3 5】

従来のフラッシュメモリのセルアレイ部の製造工程を示す断面図である。

【図 3 6】

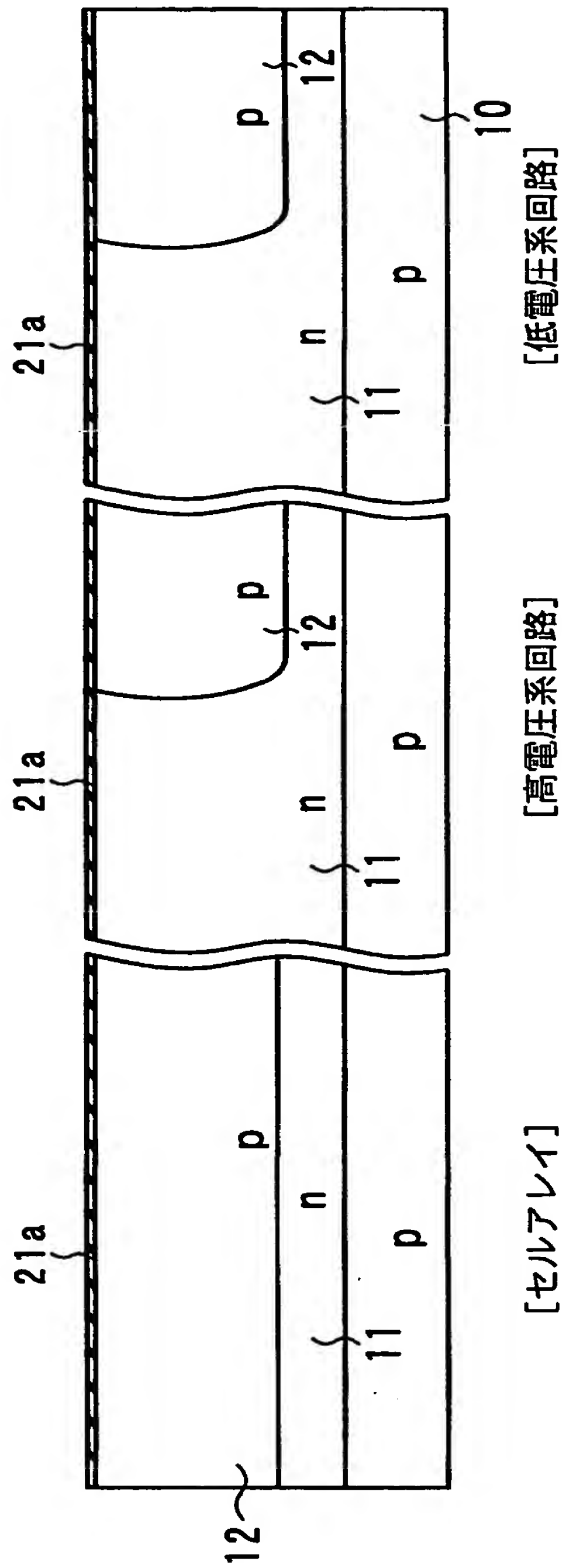
従来のフラッシュメモリの周辺回路トランジスタでの問題を説明するための図である。

【符号の説明】

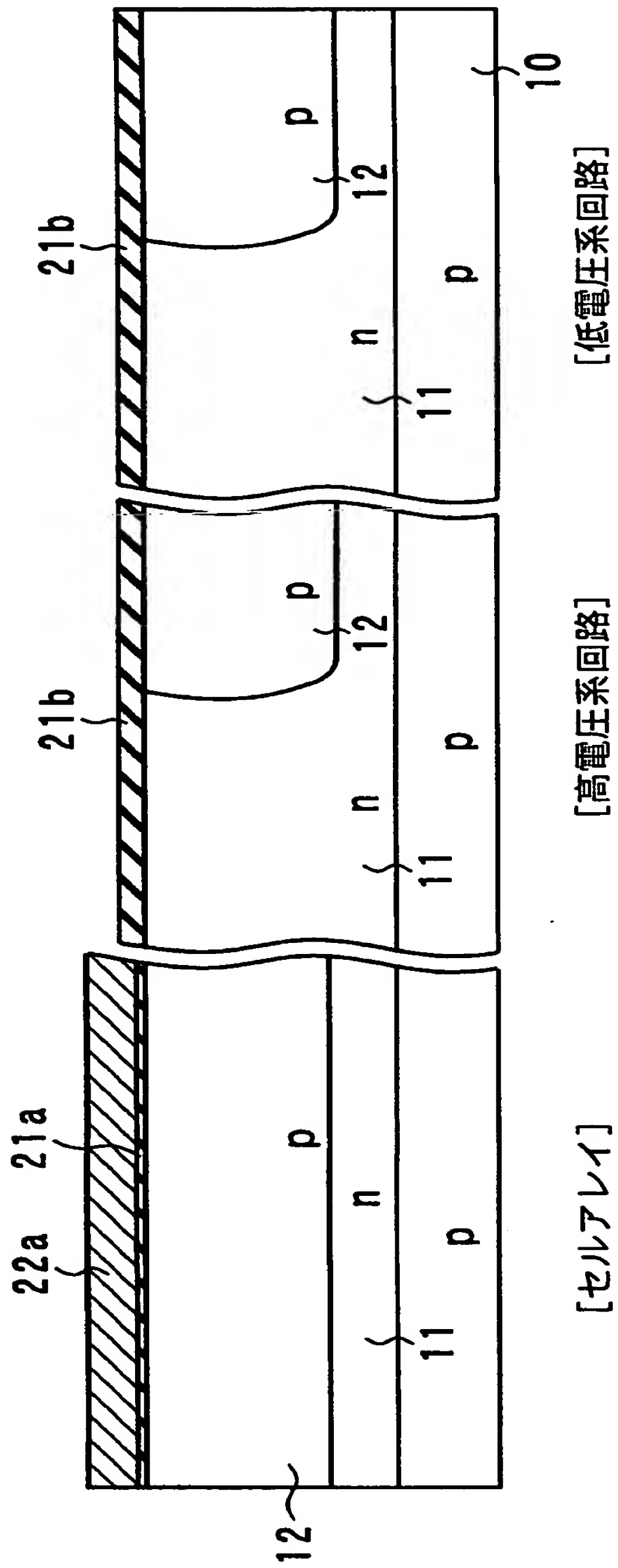
1 0 …シリコン基板、2 1 a …トンネル絶縁膜、2 1 b, 2 1 c …ゲート絶縁膜、2 2 …第 1 層多結晶シリコン膜、2 4 …第 2 層多結晶シリコン膜、2 6 …ゲート間絶縁膜、2 8 …第 3 層多結晶シリコン膜。

【書類名】 図面

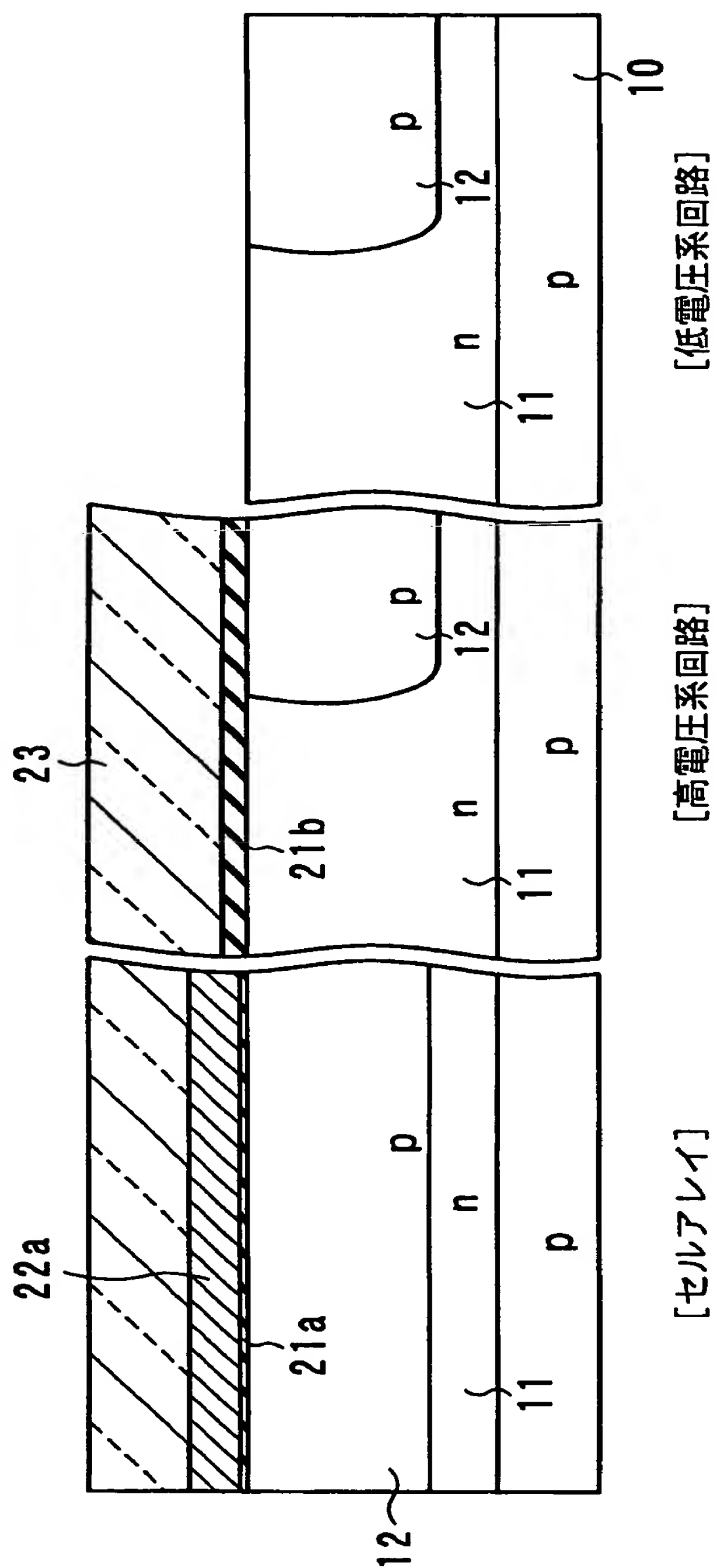
【図 1】



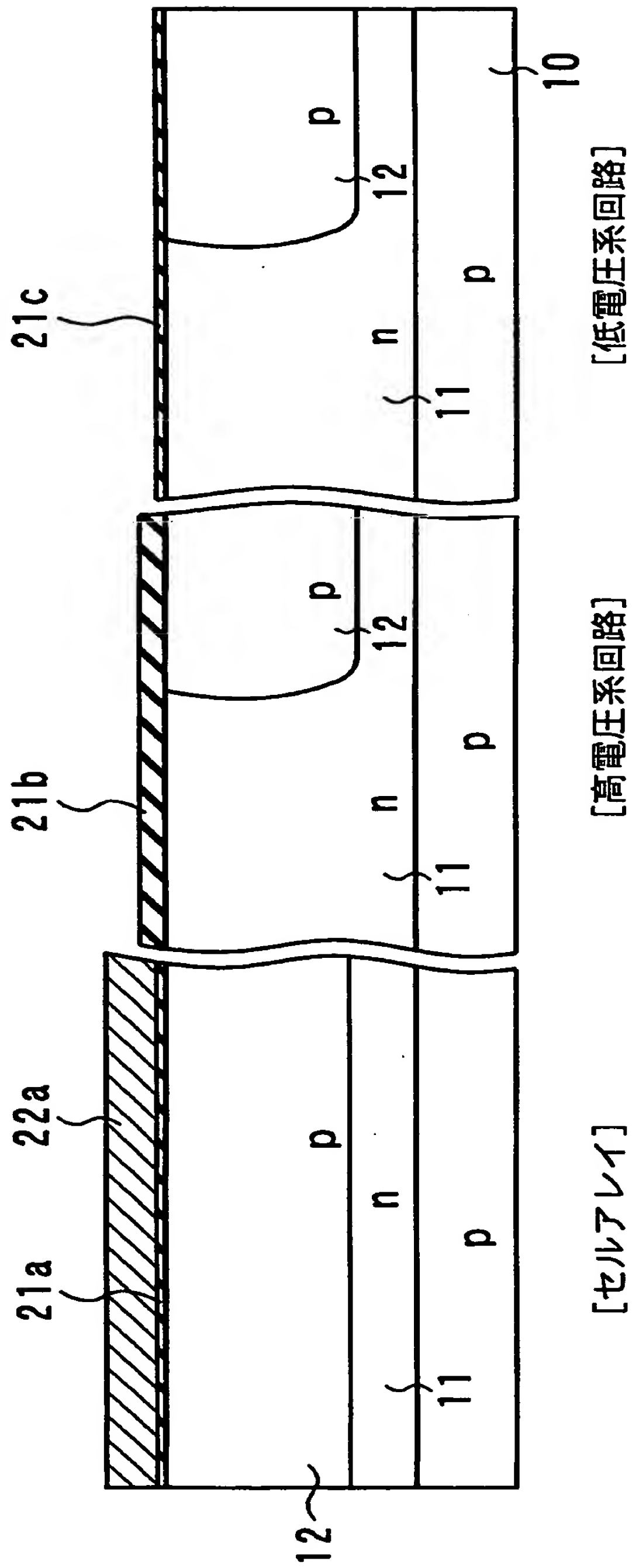
【図 2】



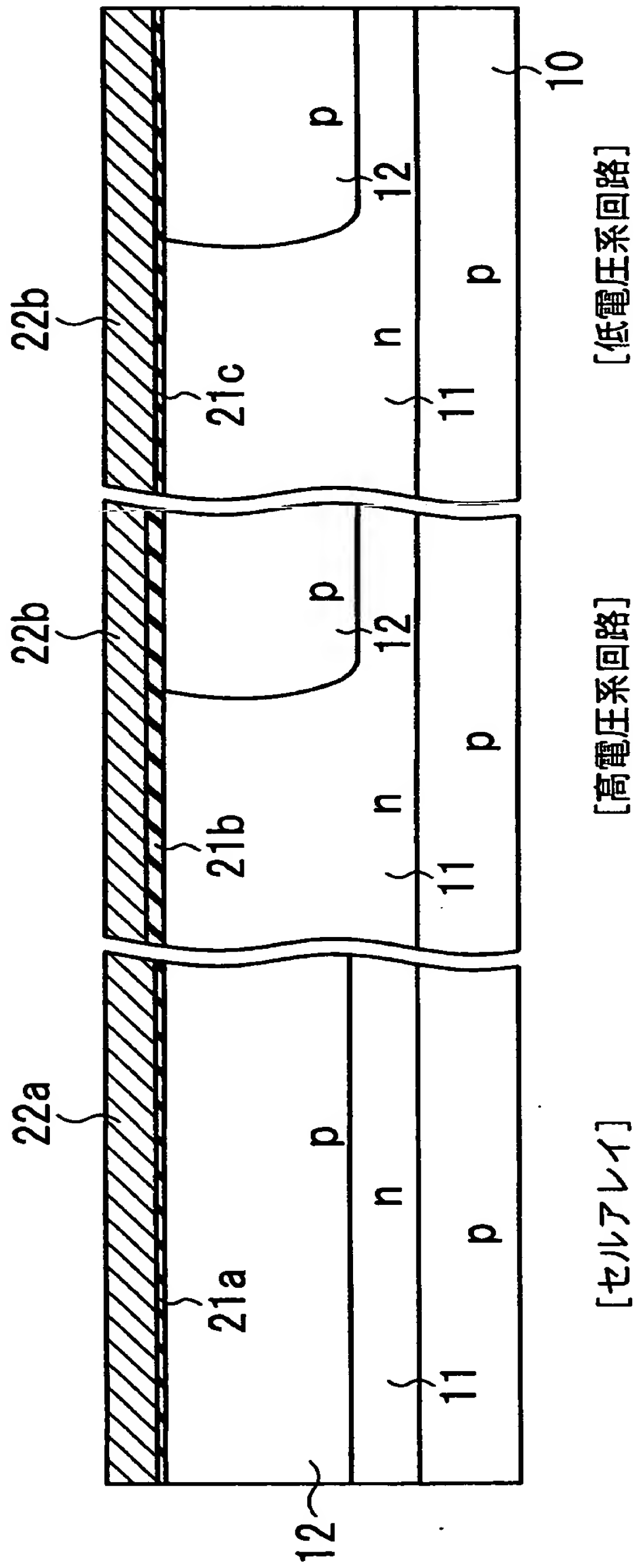
【図 3】



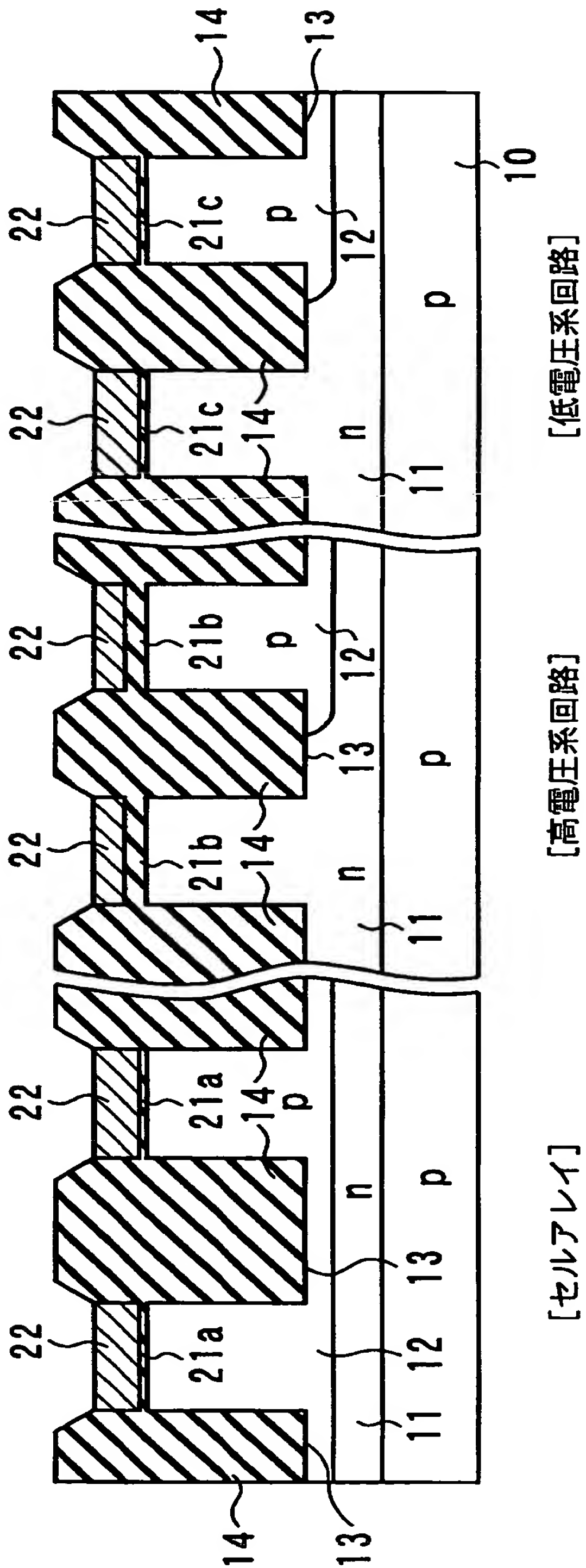
【図 4】



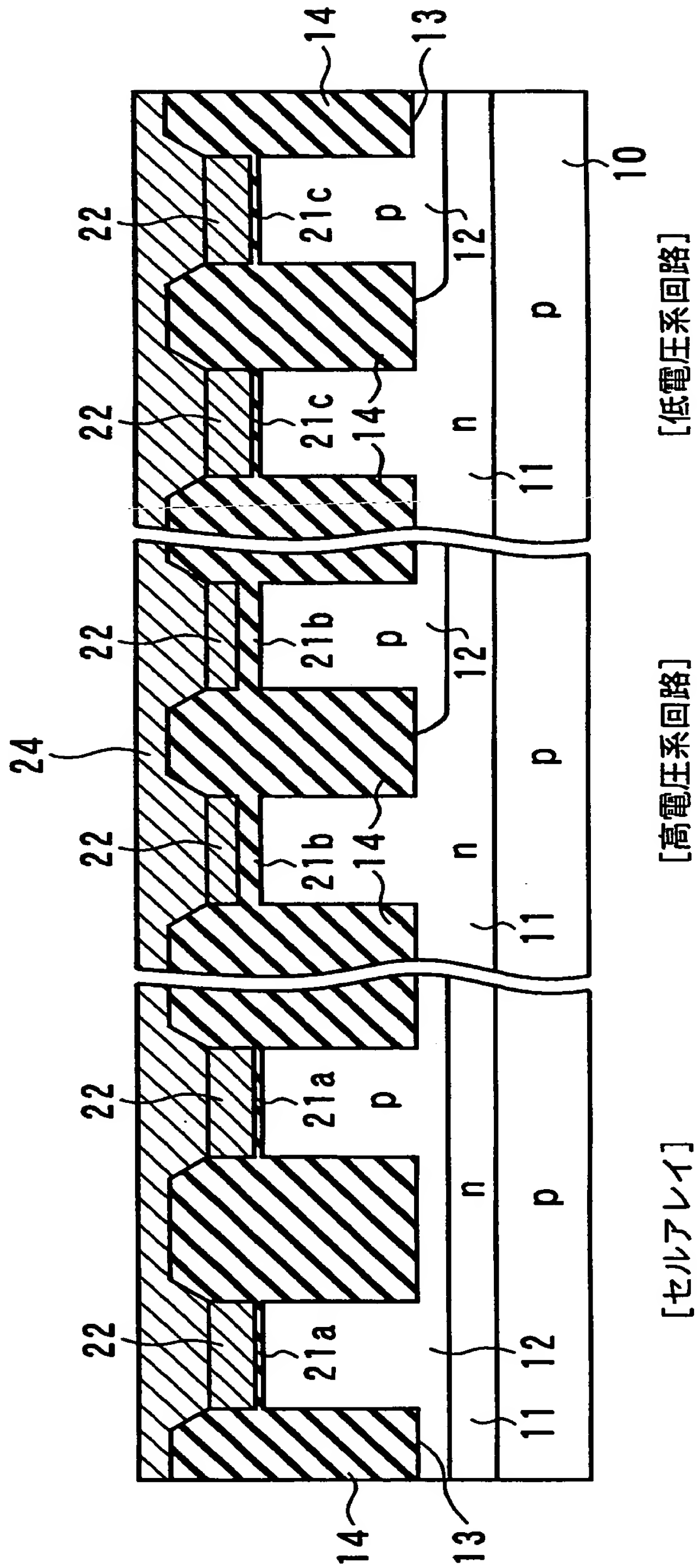
【図5】



【図6】



【図7】

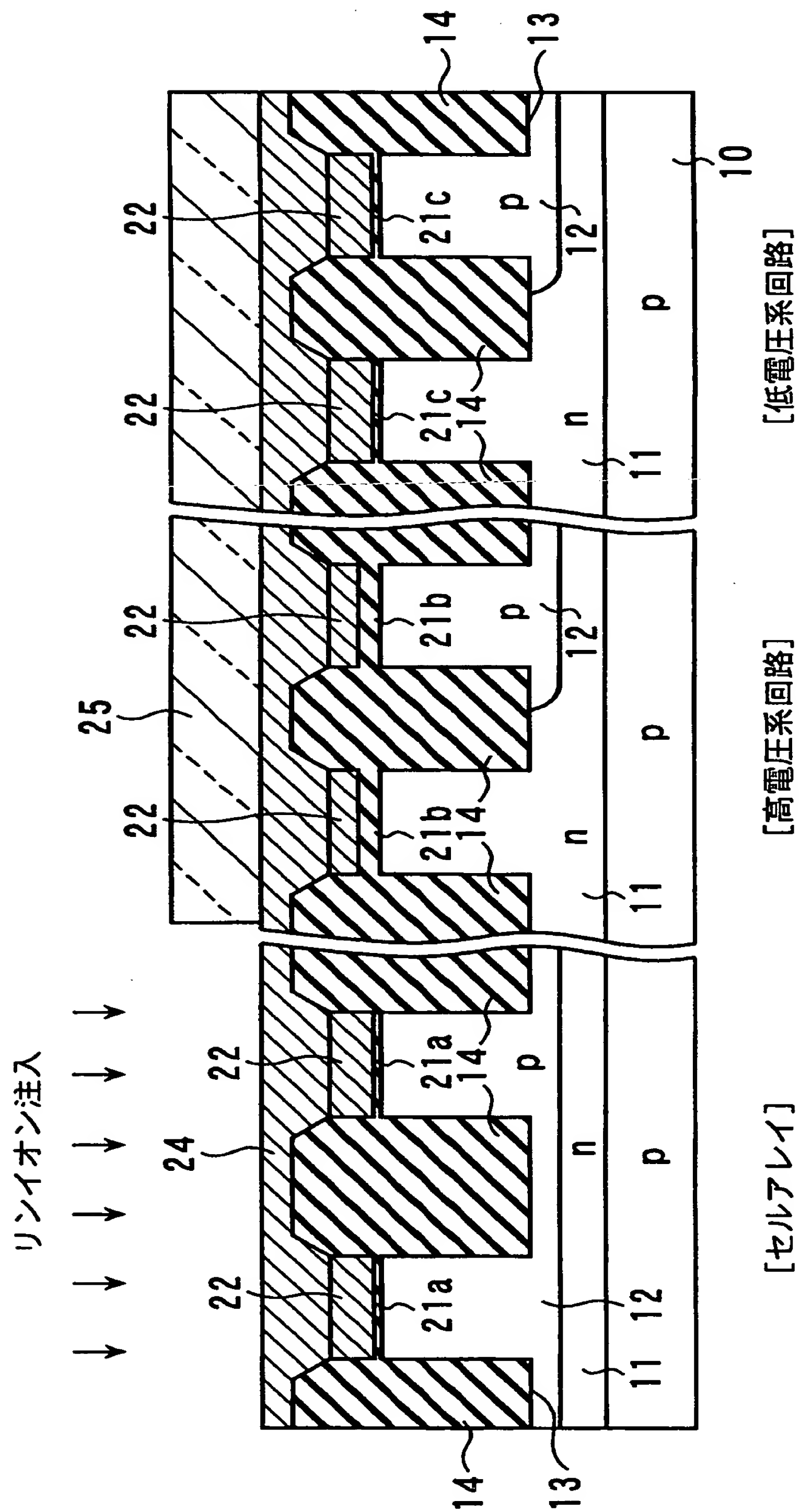


[セルアレイ]

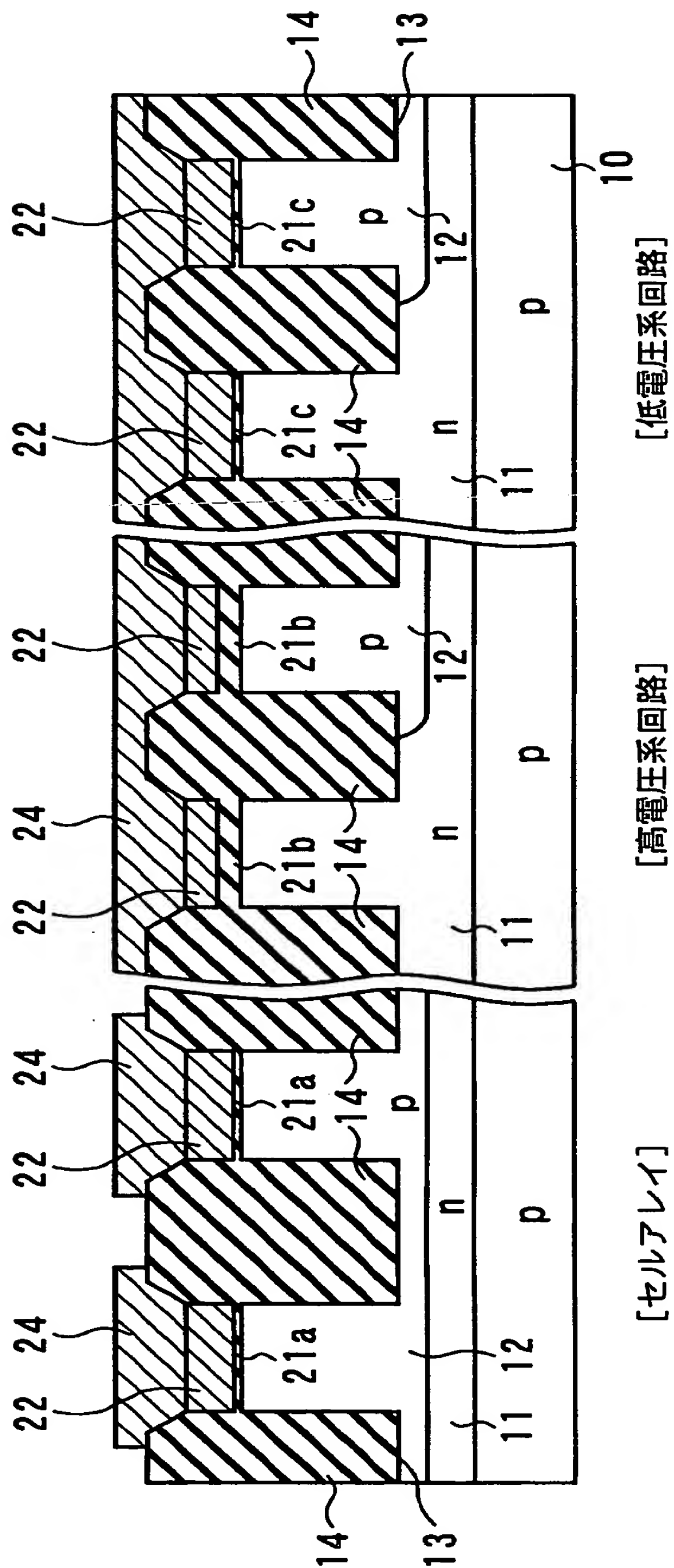
[高電圧系回路]

[低電圧系回路]

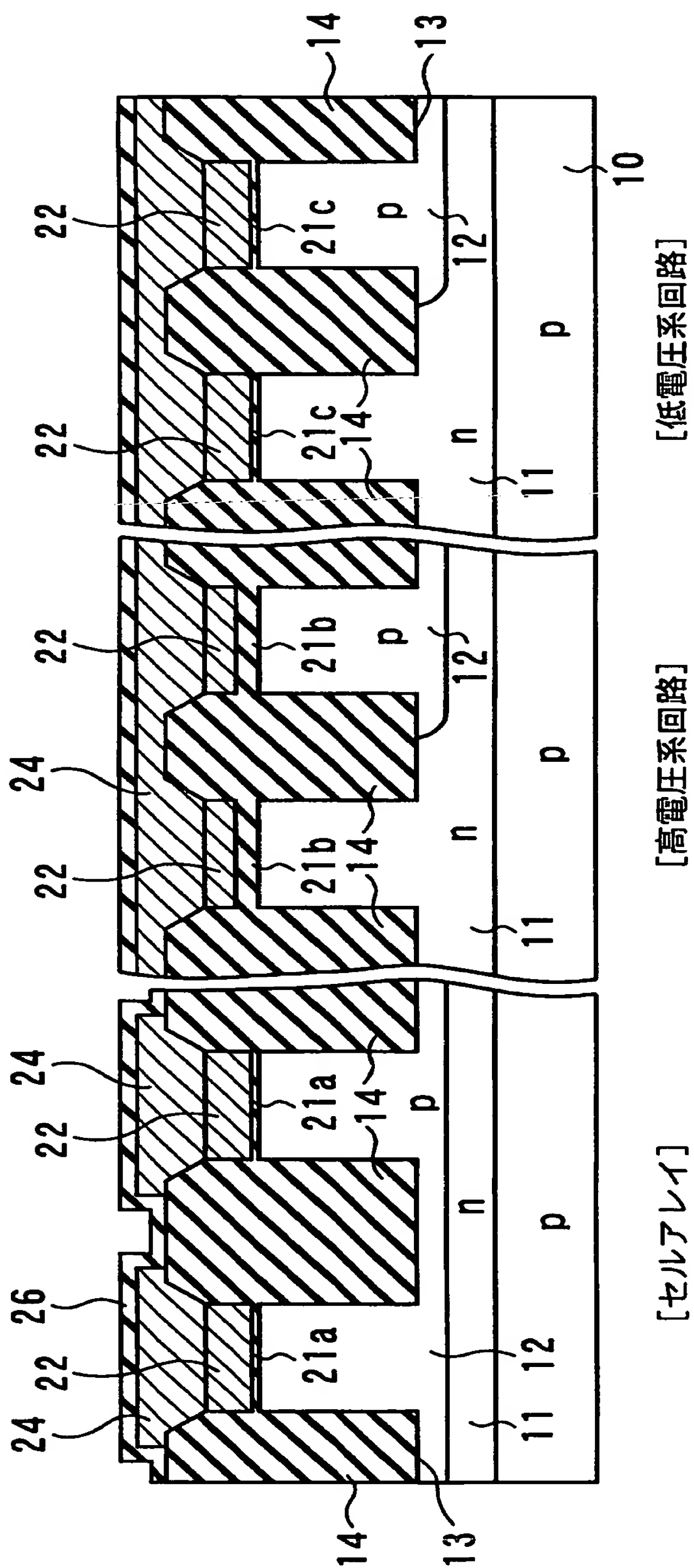
【図 8】



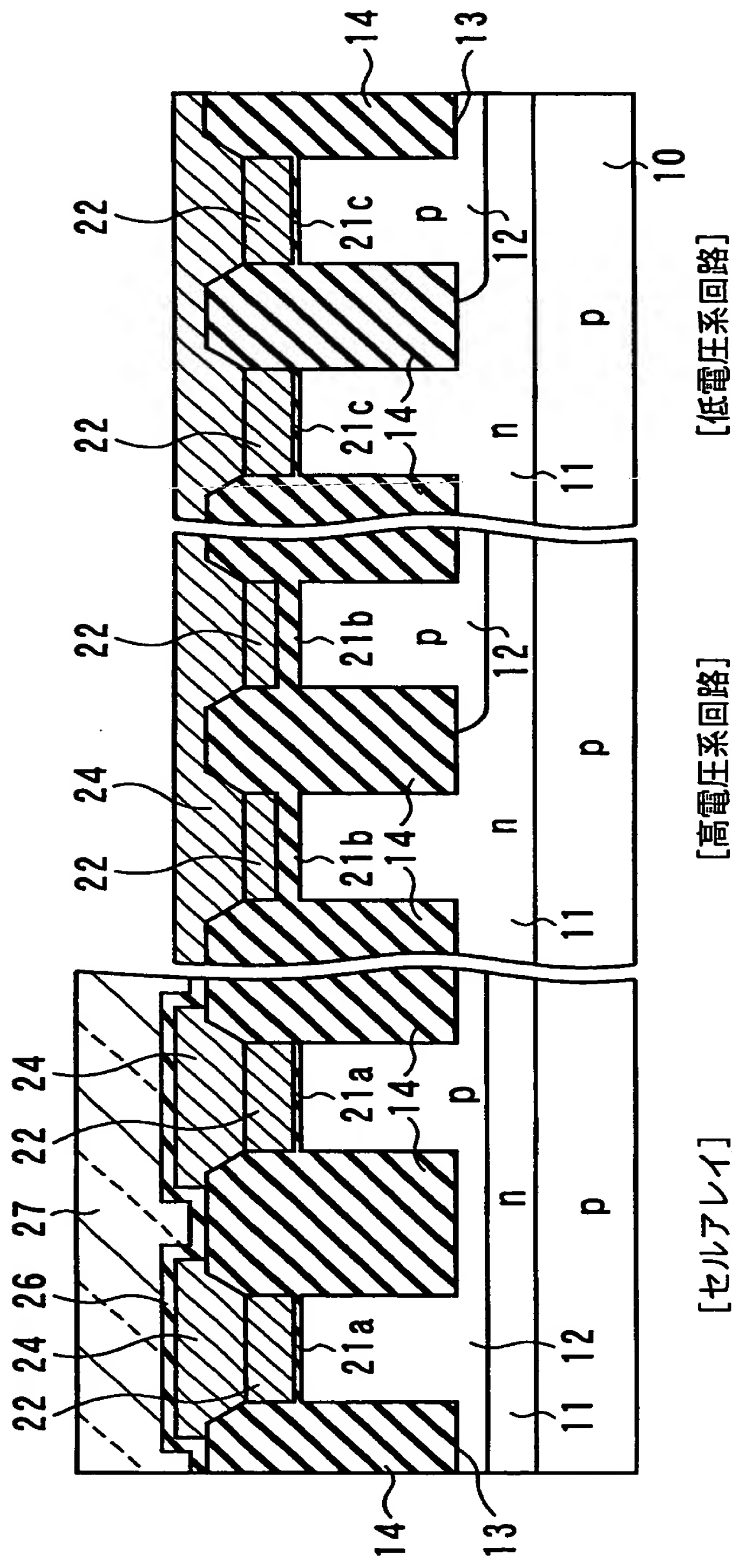
【図 9】



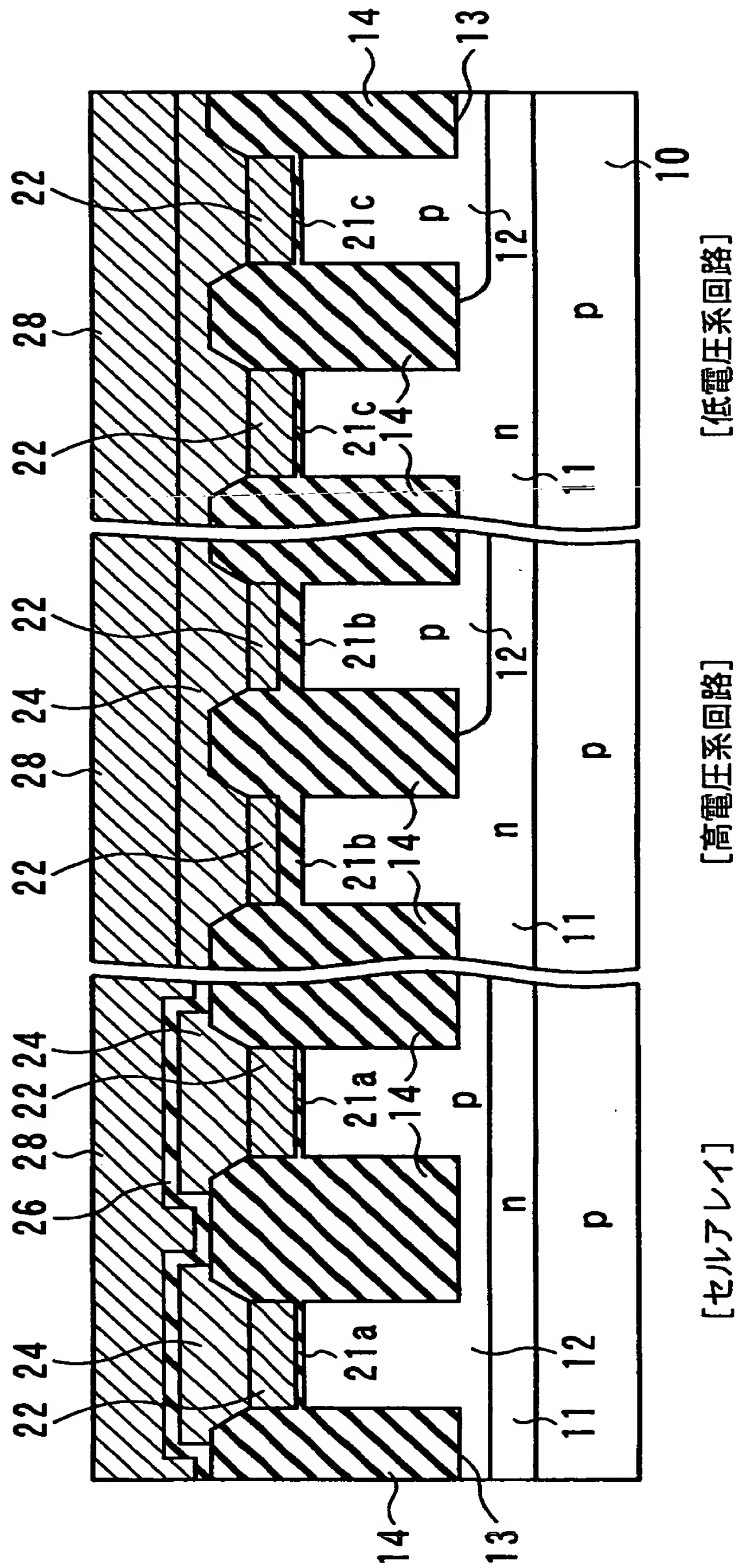
【図10】



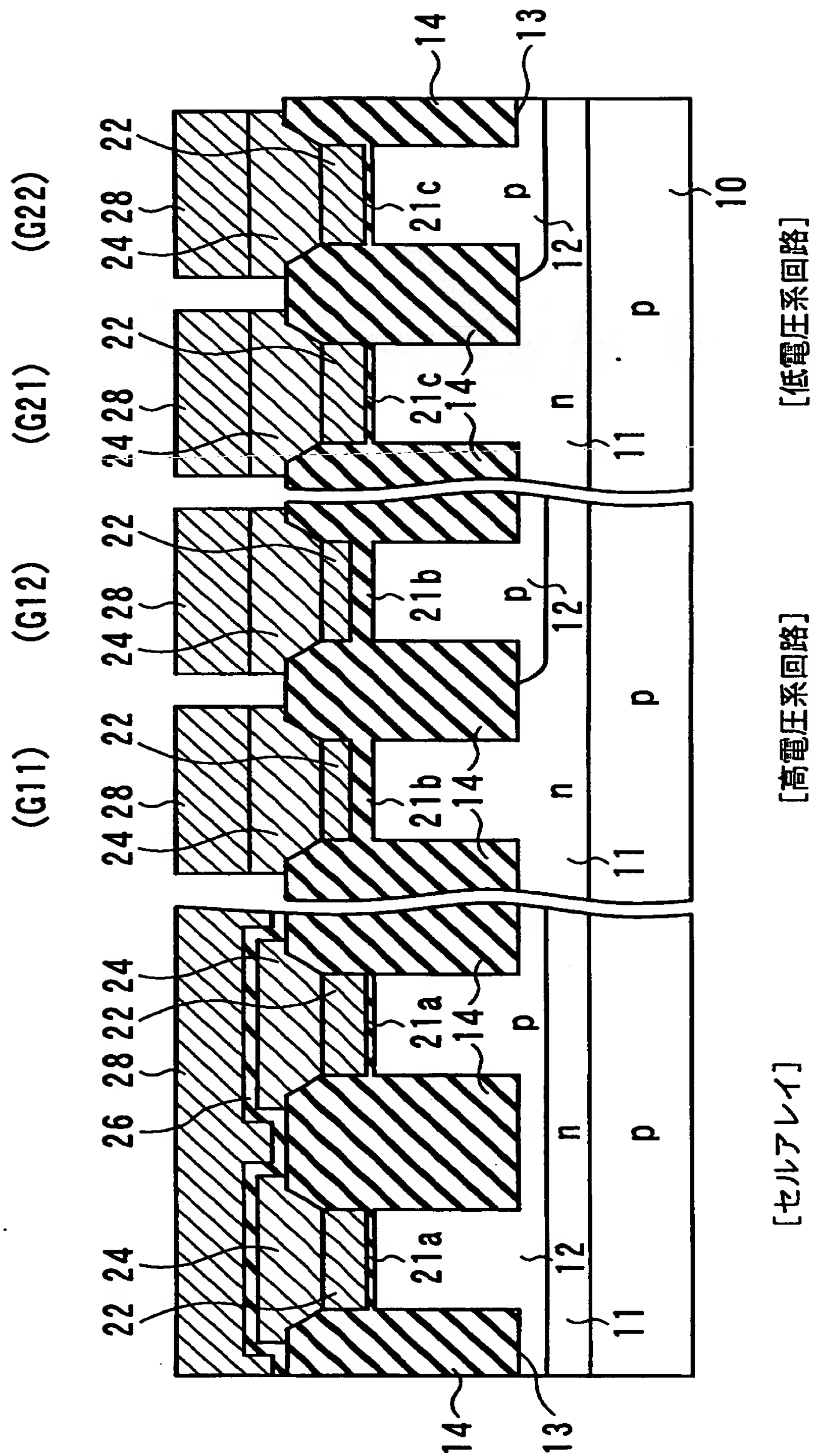
【図 1 1】



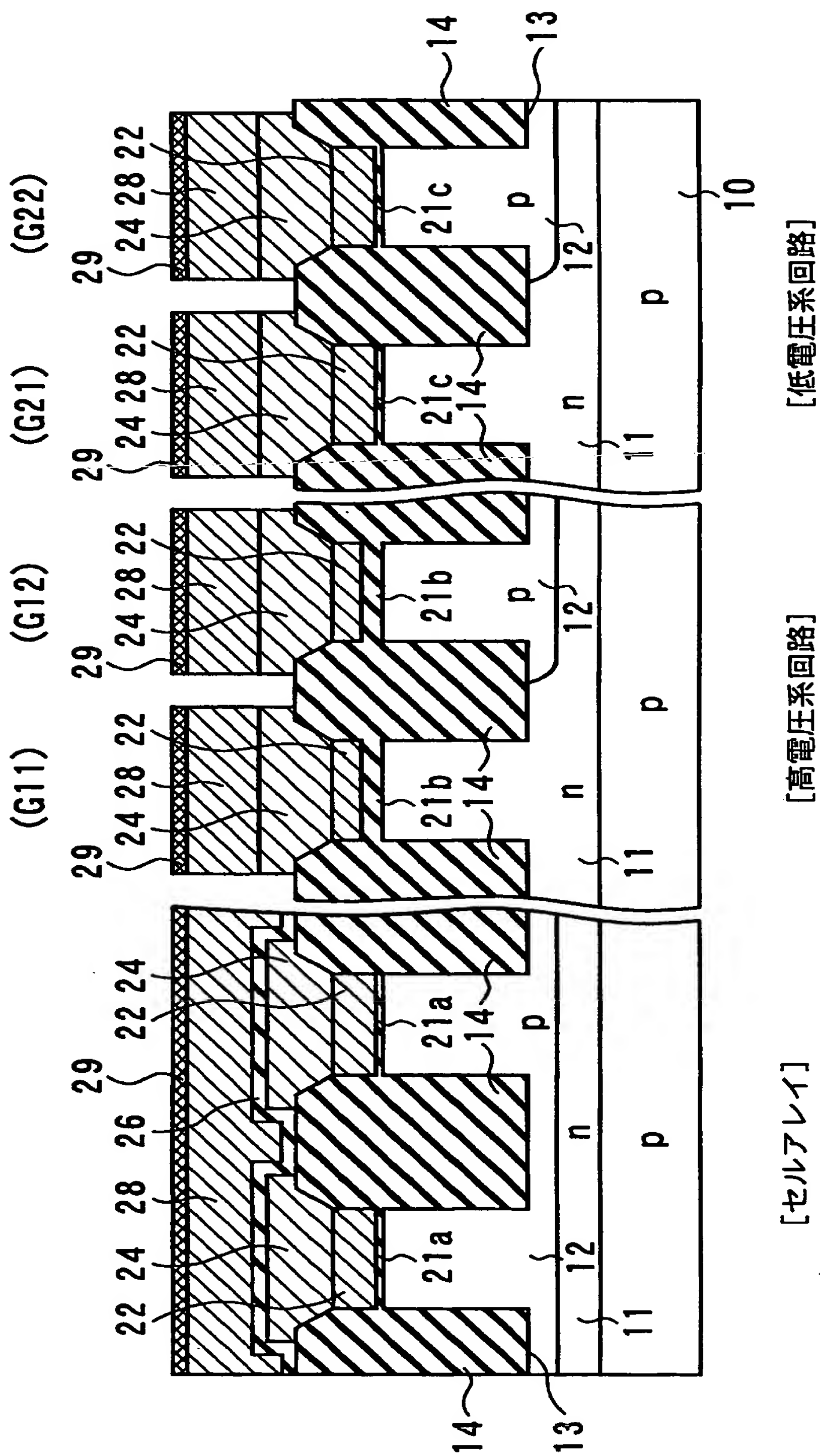
【図12】



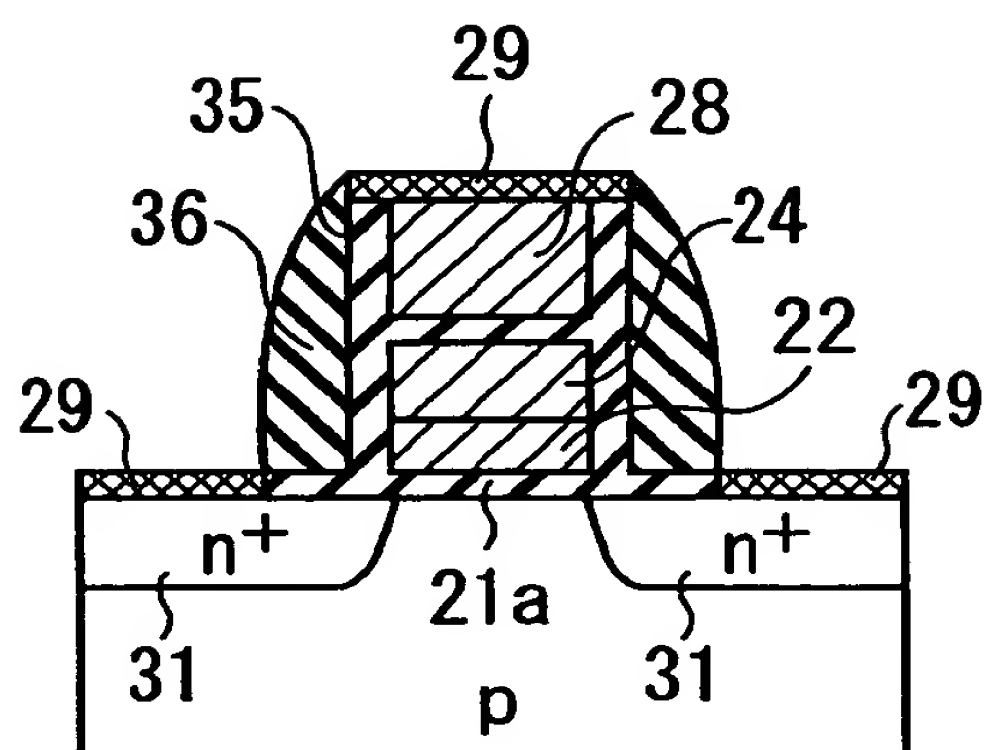
【圖 13】



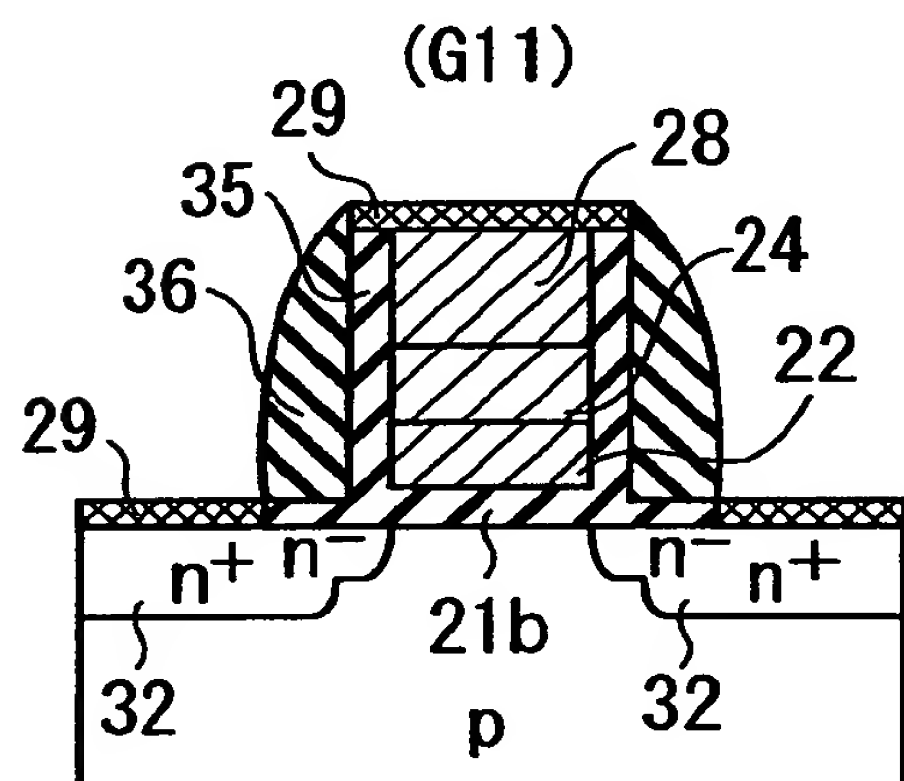
【図 1 4】



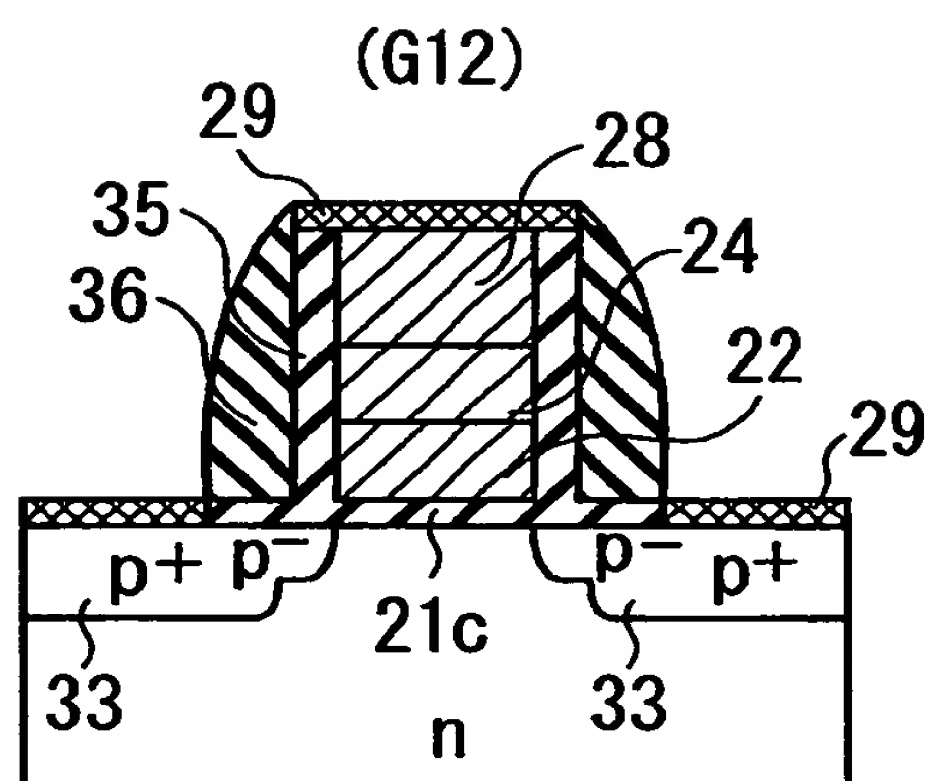
【図 1 5】



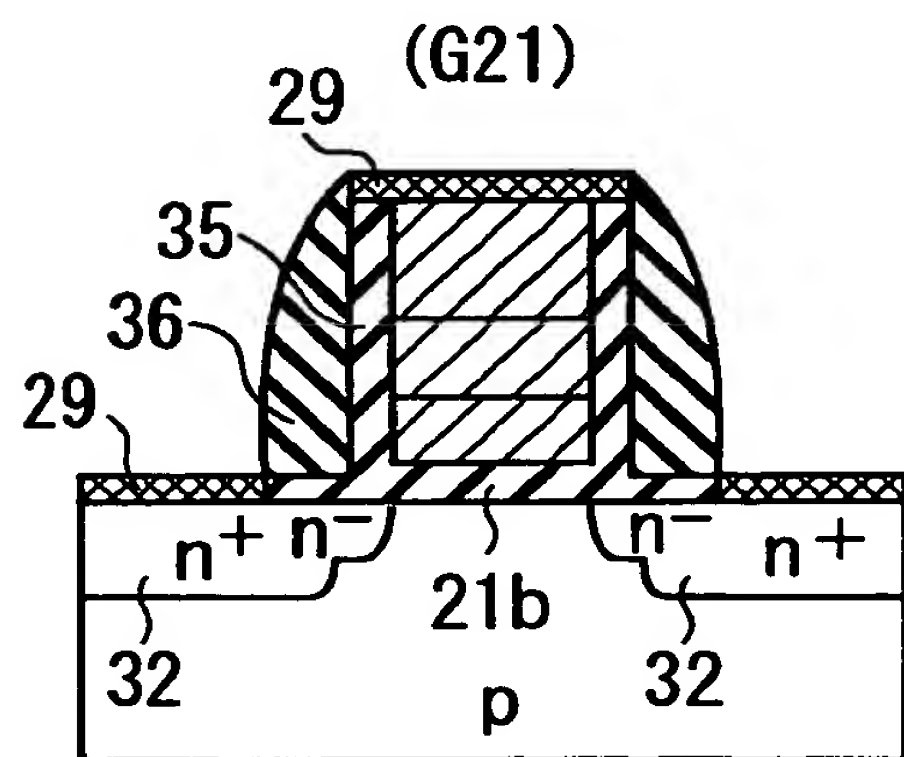
【メモリセル】



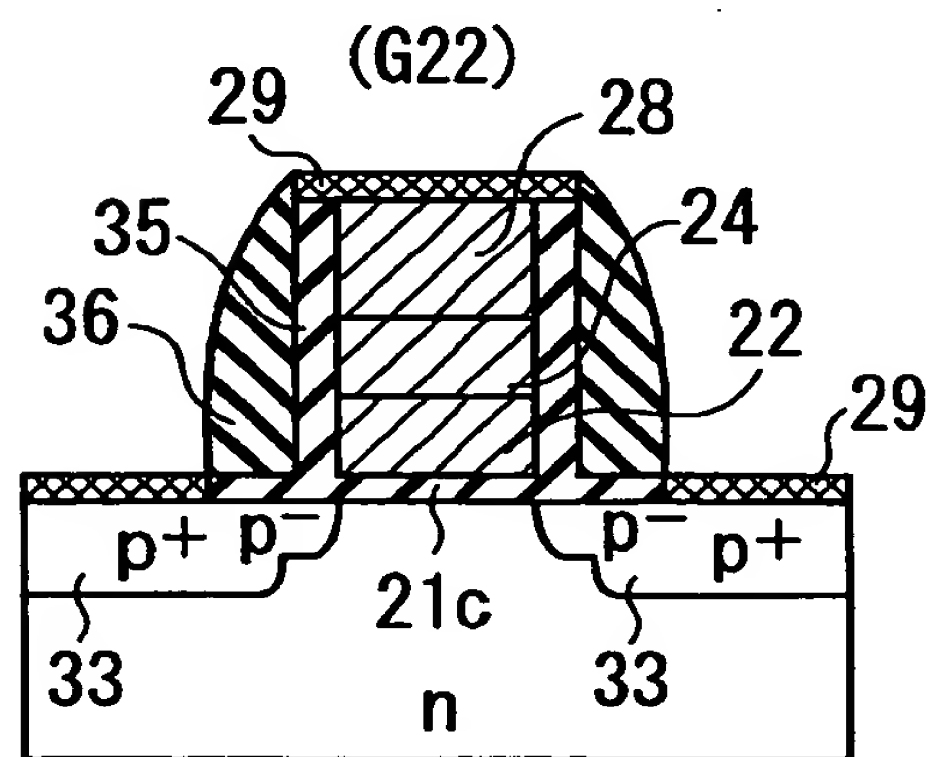
【高電圧 NMOS】



【高電圧 PMOS】

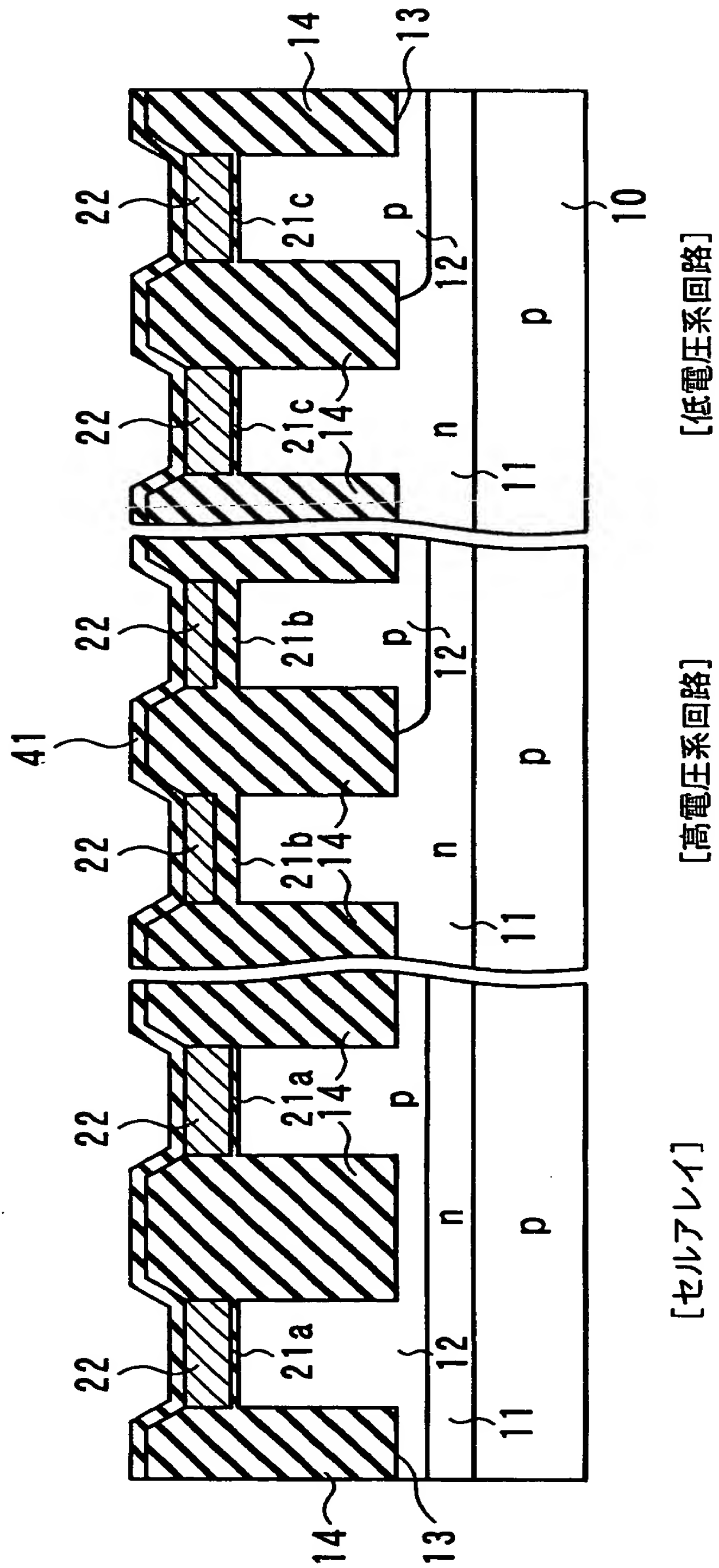


【低電圧 NMOS】

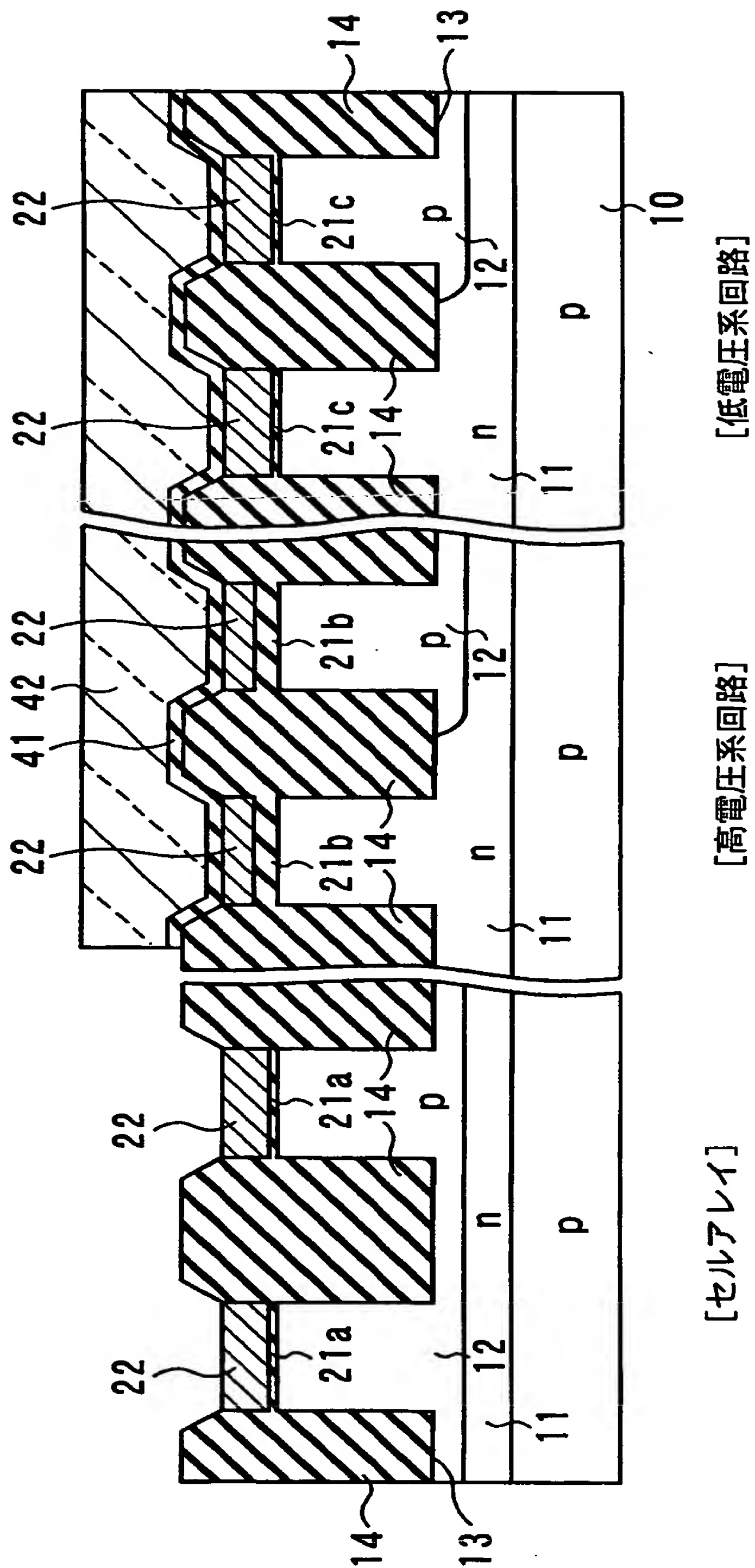


【低電圧 PMOS】

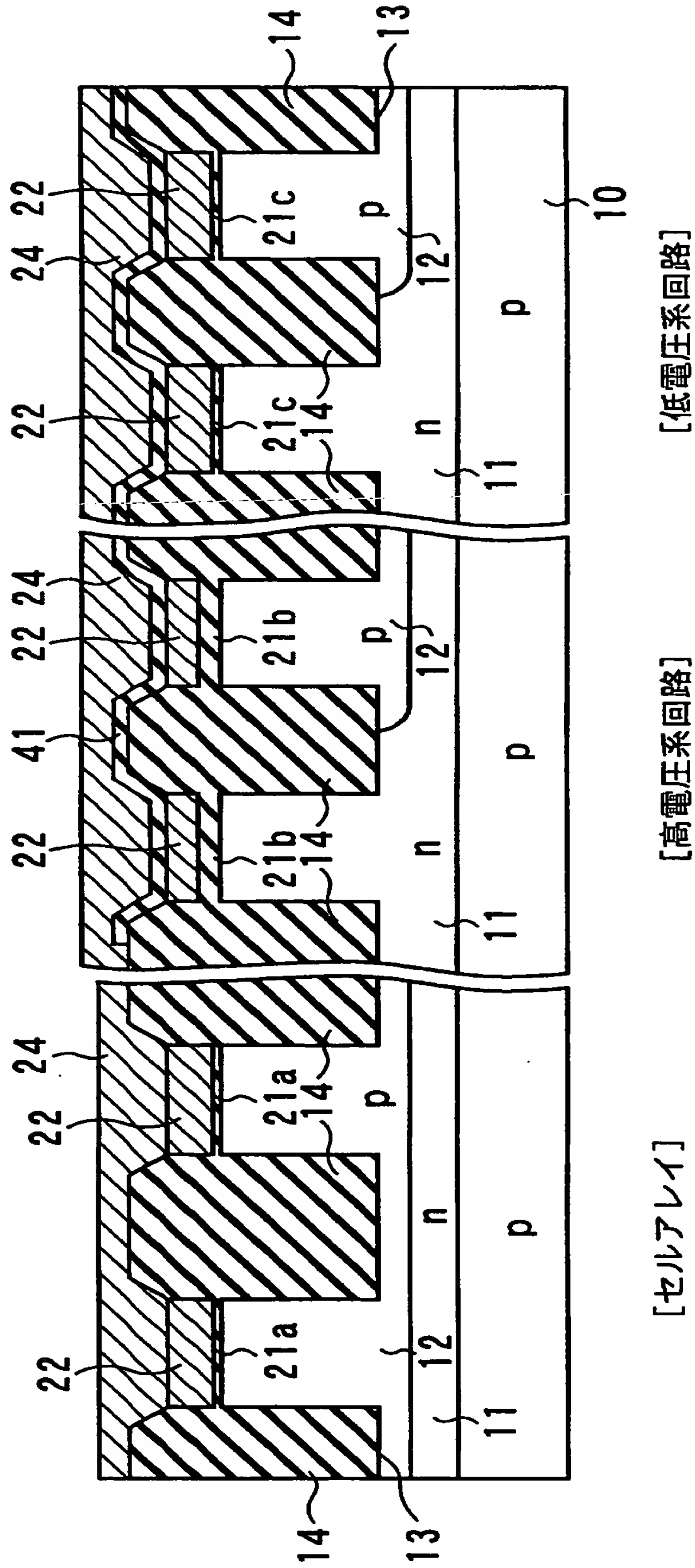
【図 16】



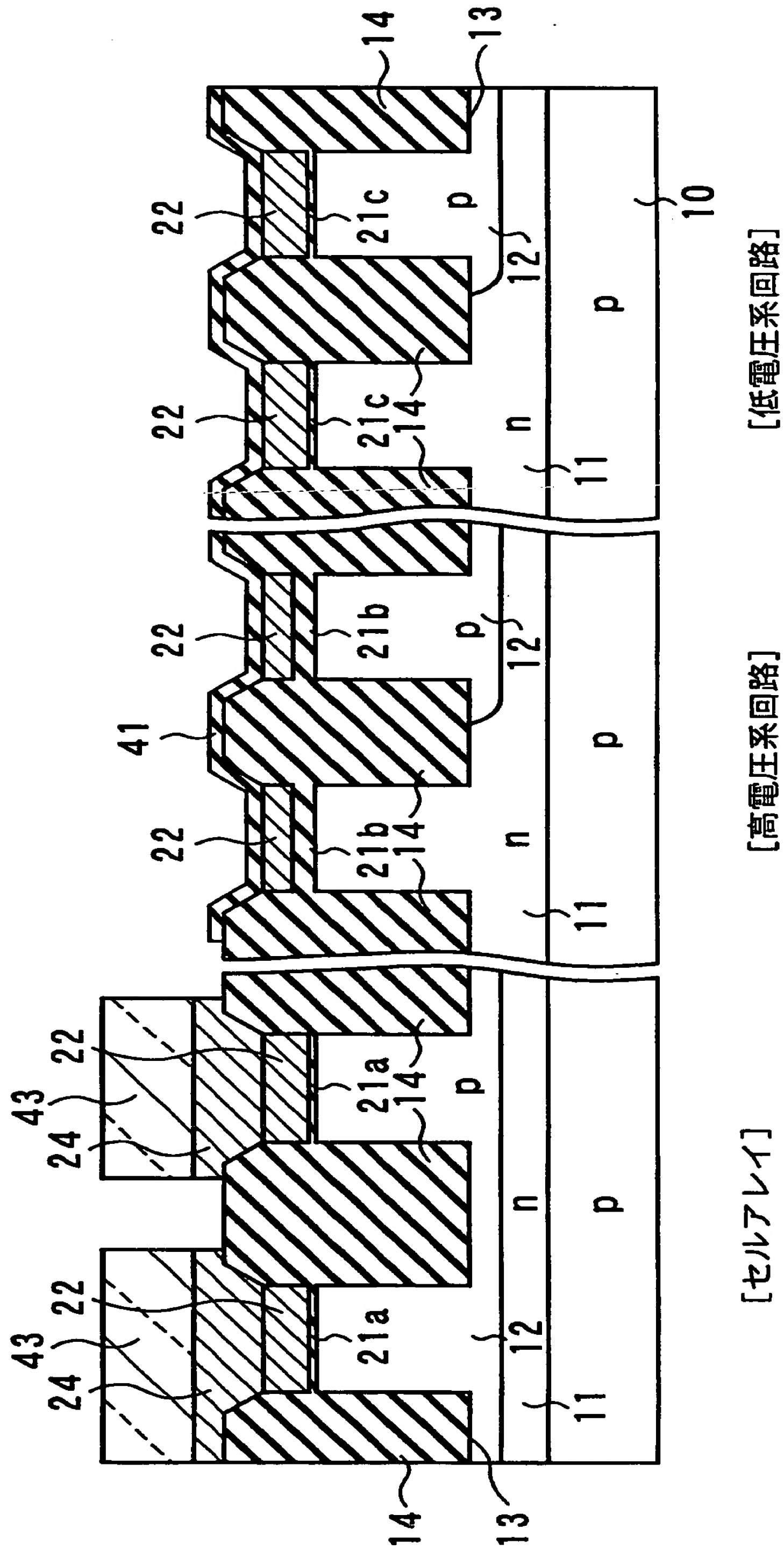
【図17】



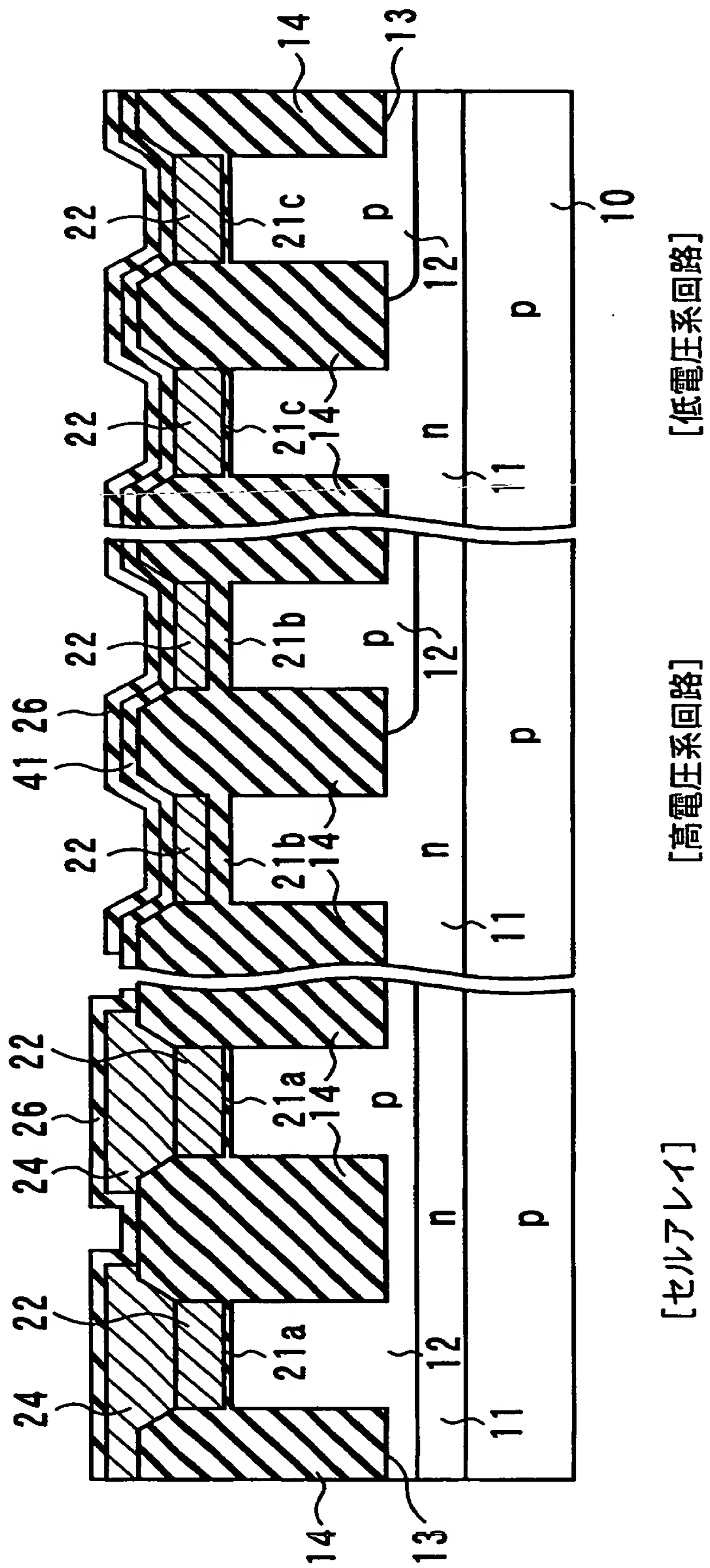
【図 1 8】



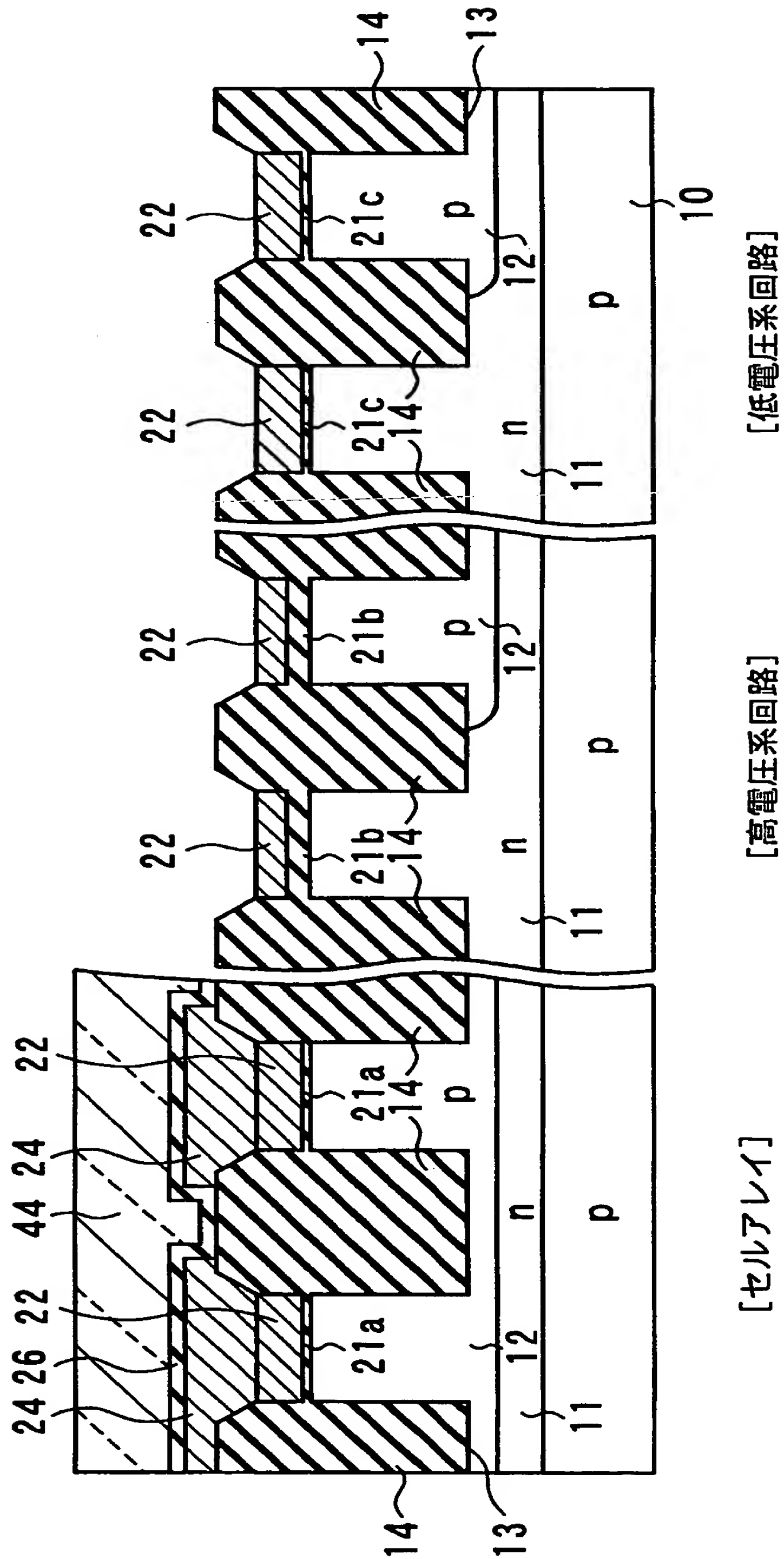
【図19】



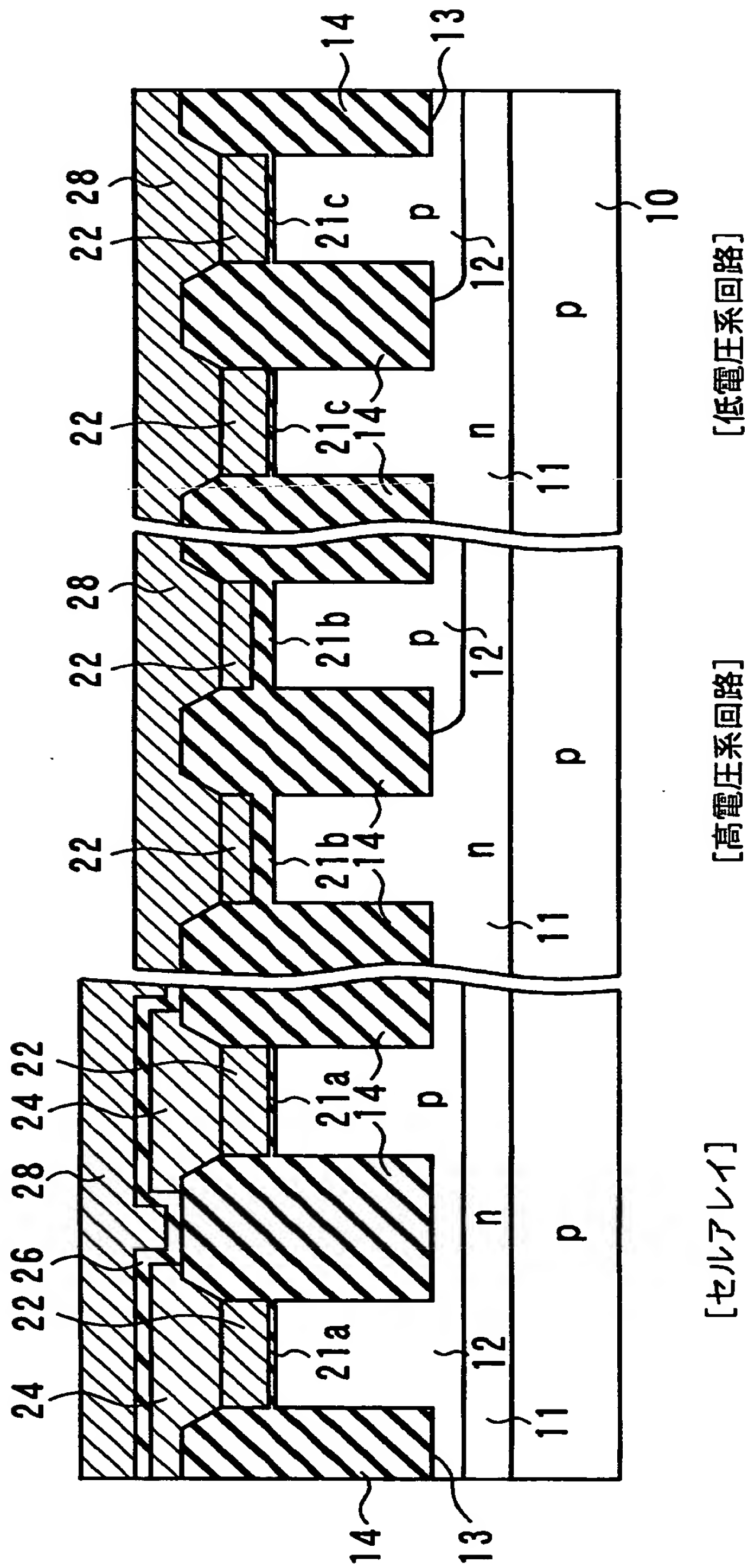
【図 2 0】



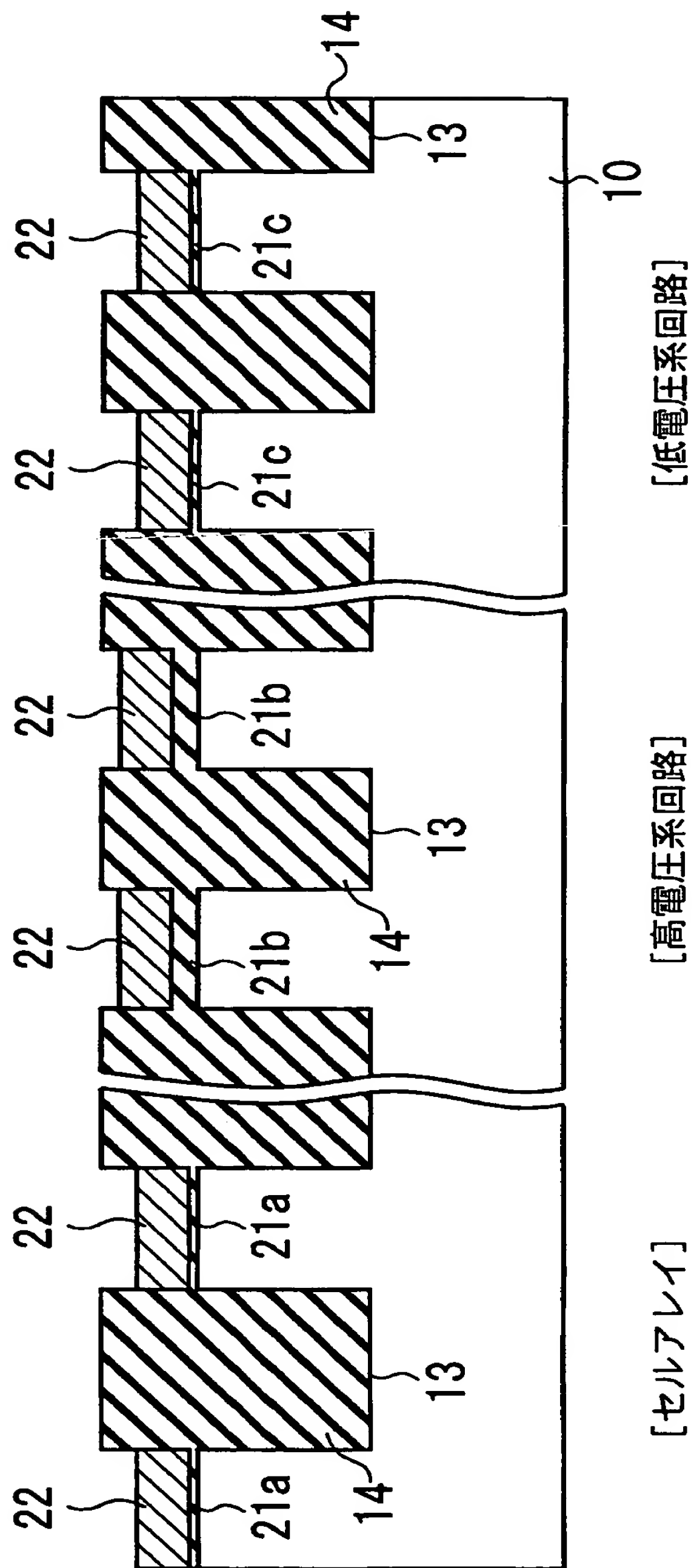
【図21】



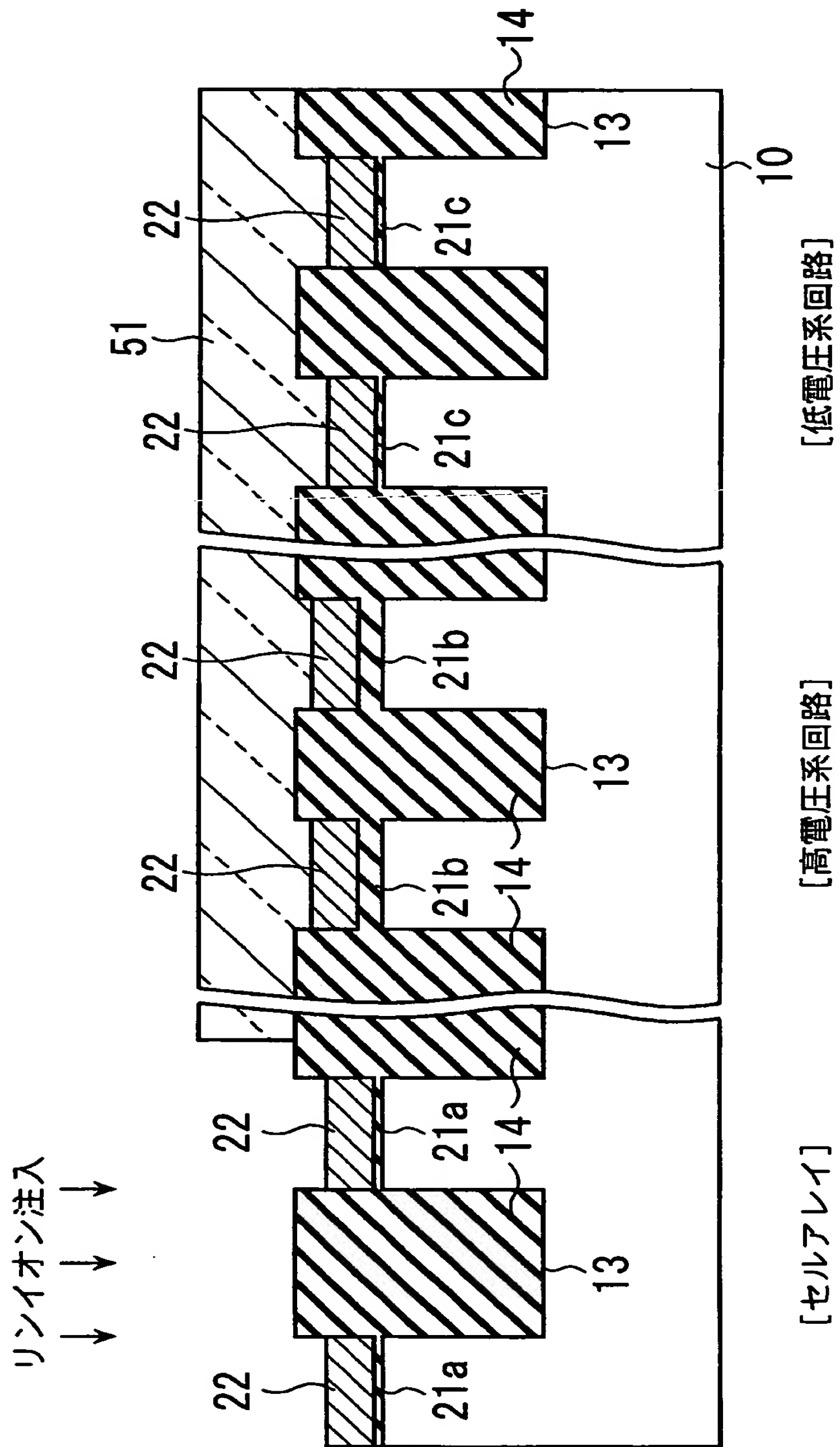
【図 2 2】



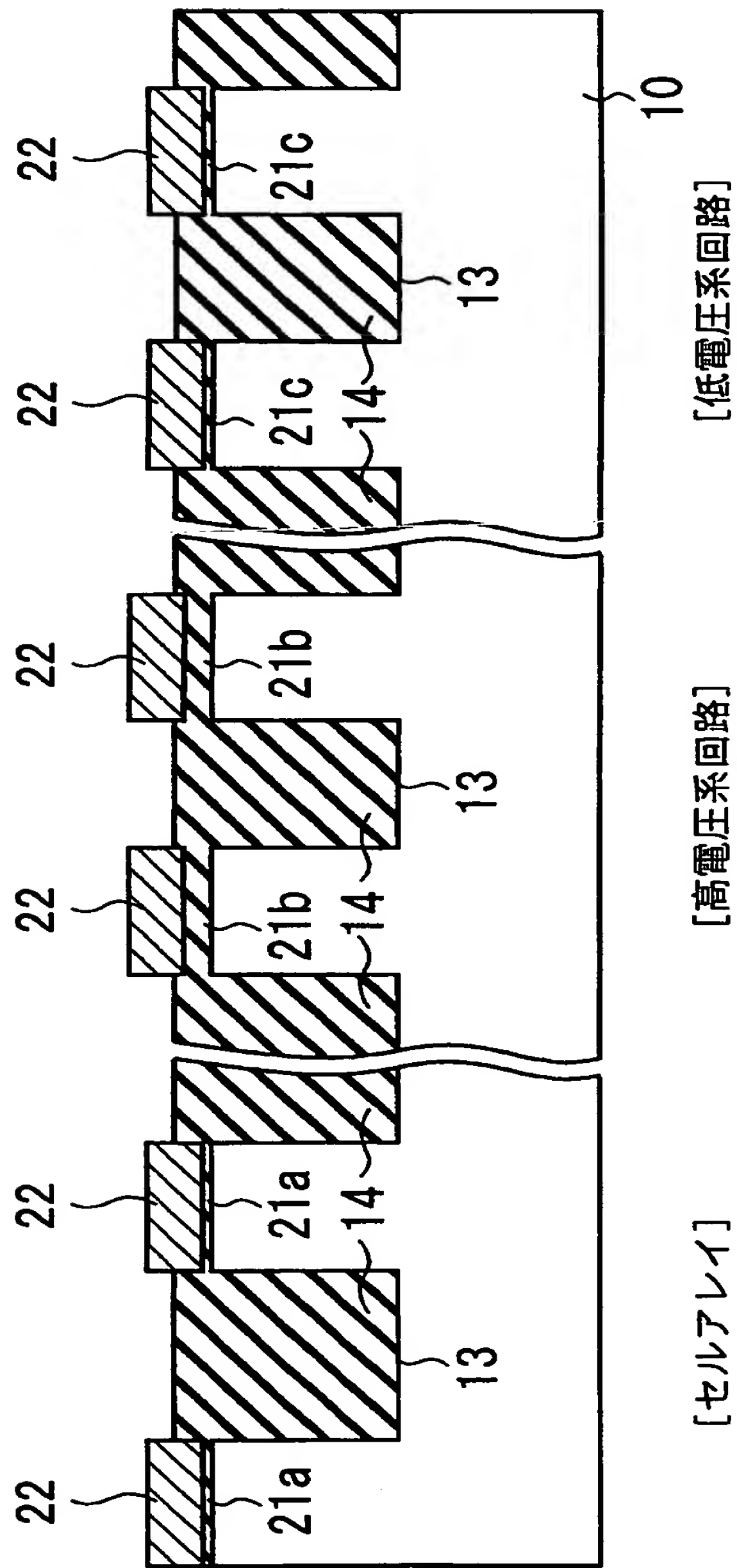
【図 2 3】



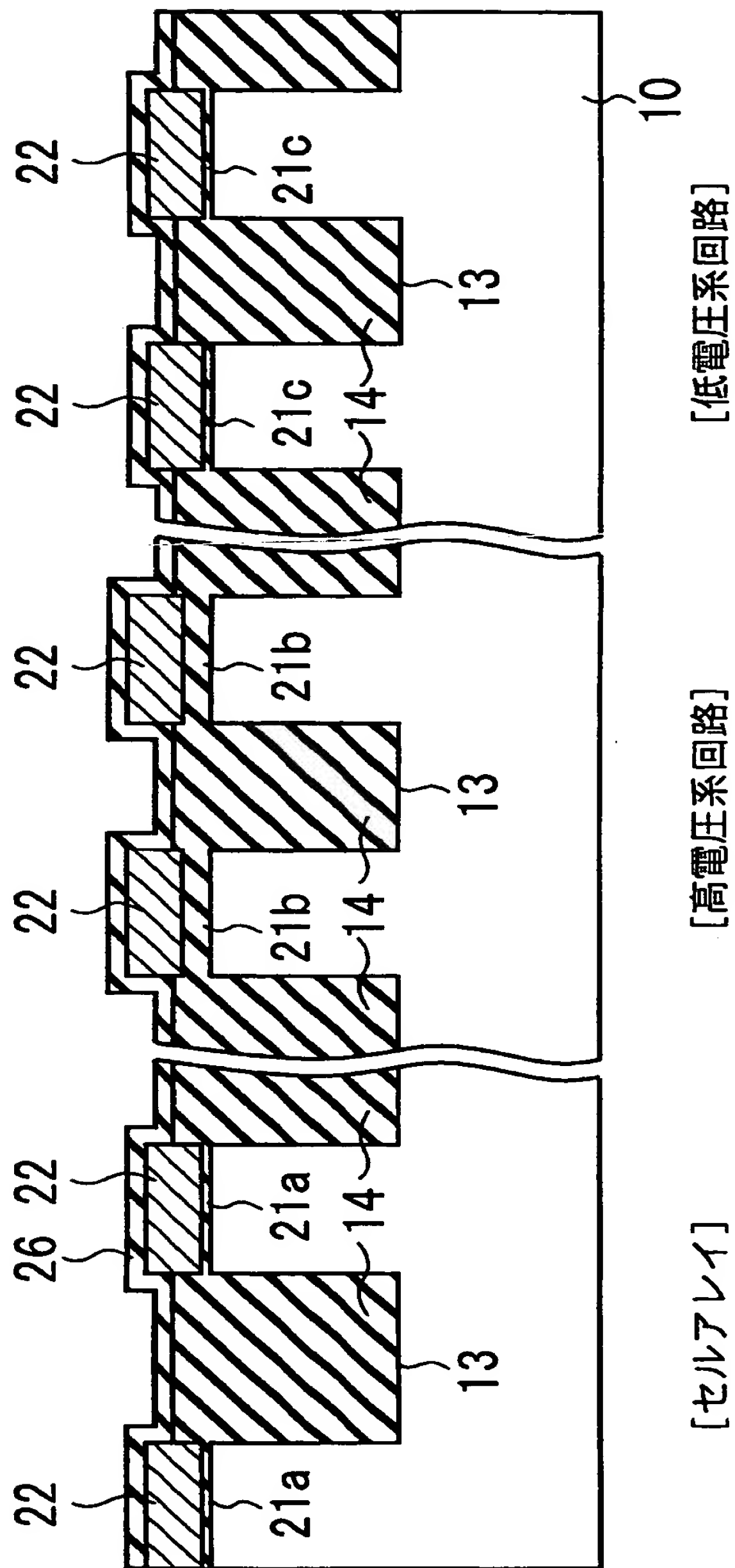
【図 2 4】



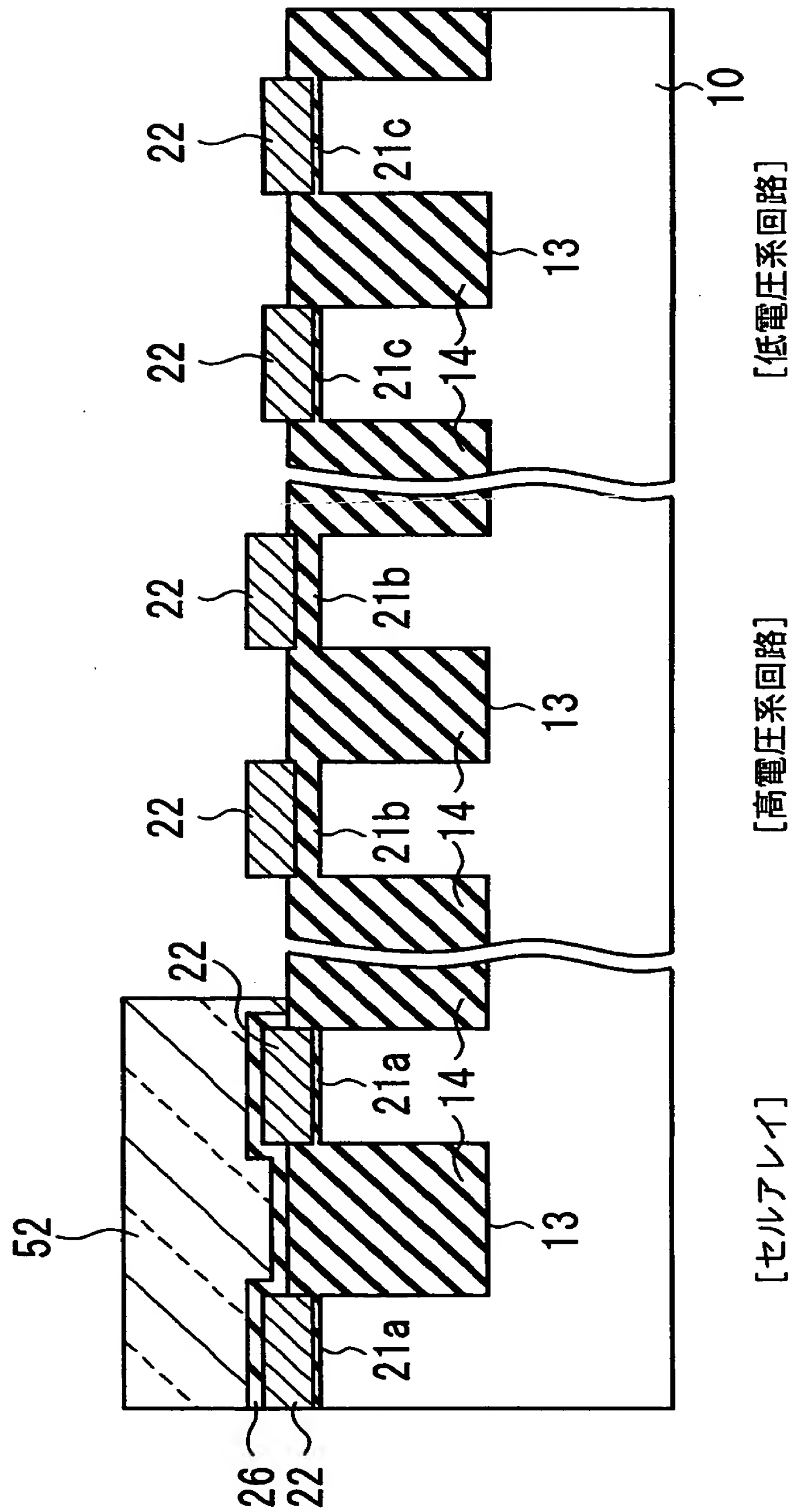
【図 25】



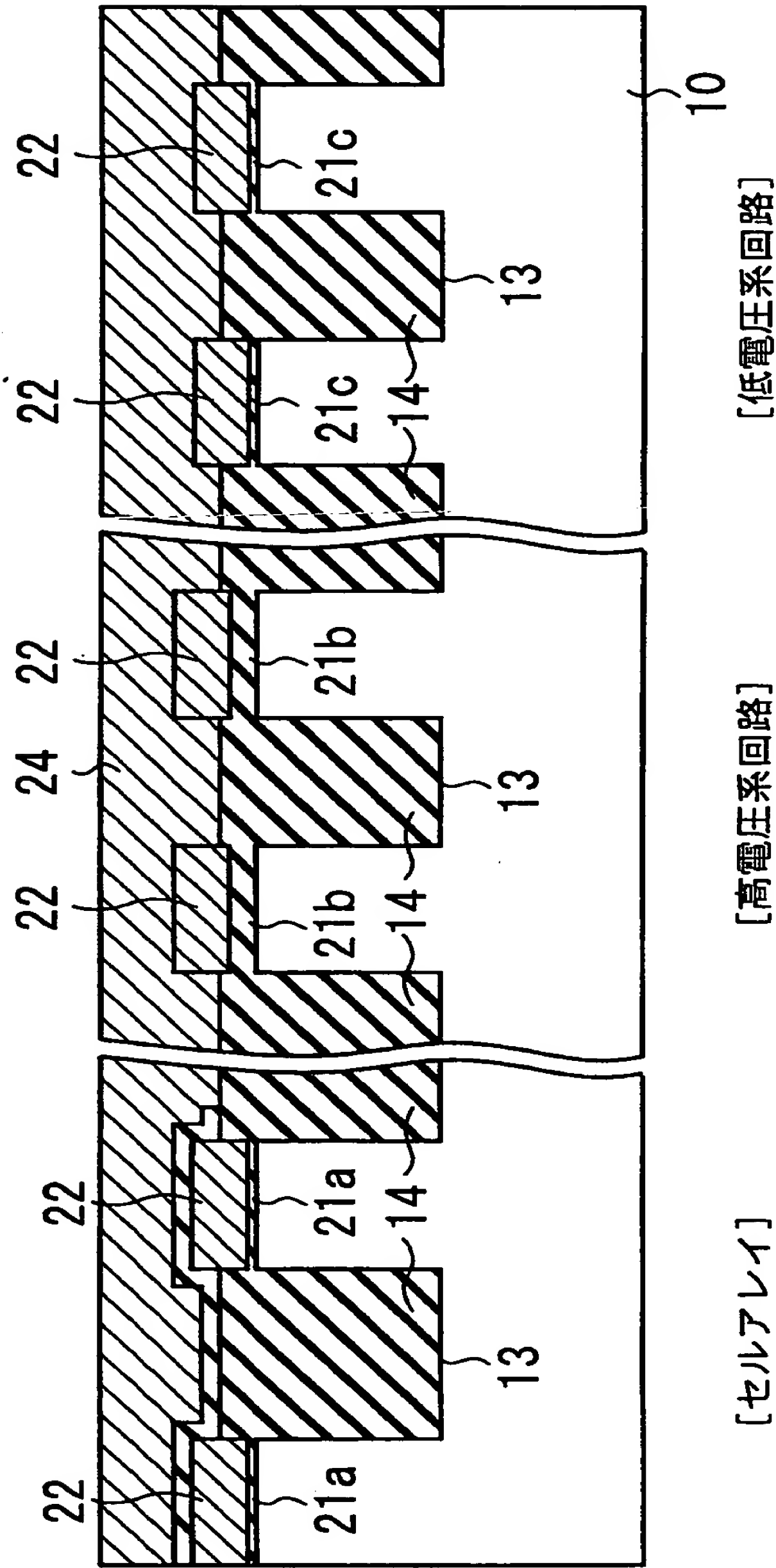
【図 2 6】



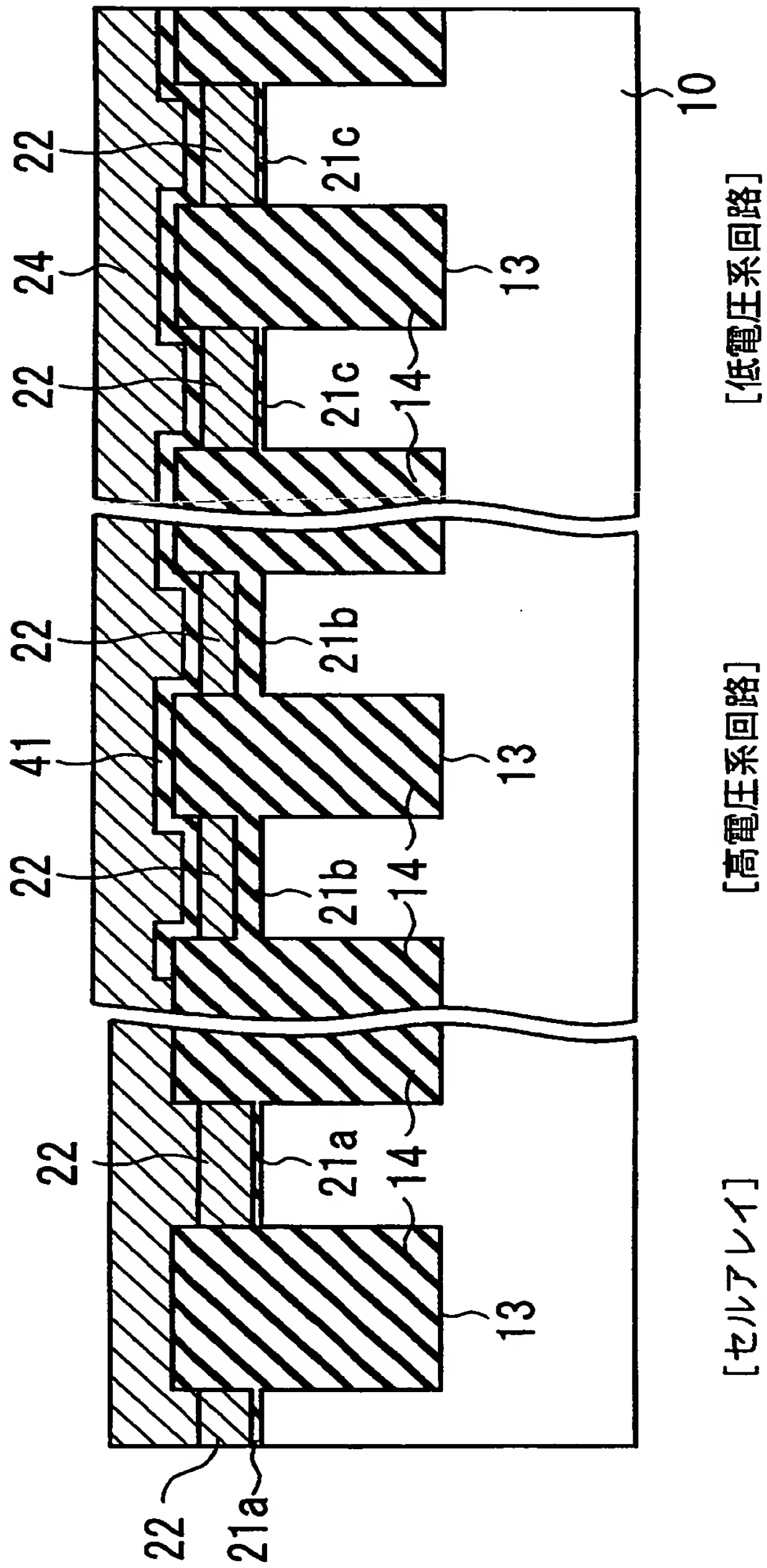
【図 27】



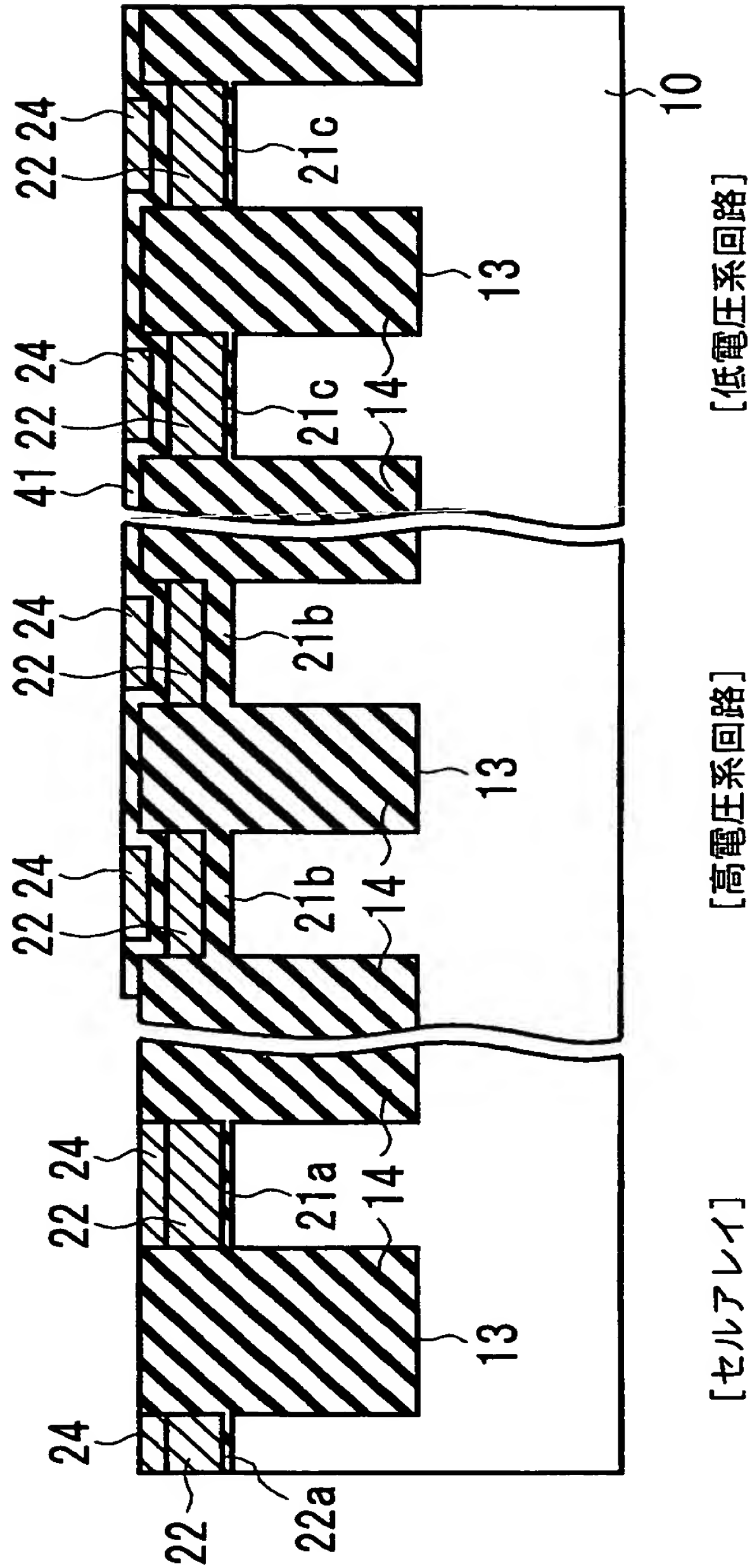
【図 2 8】



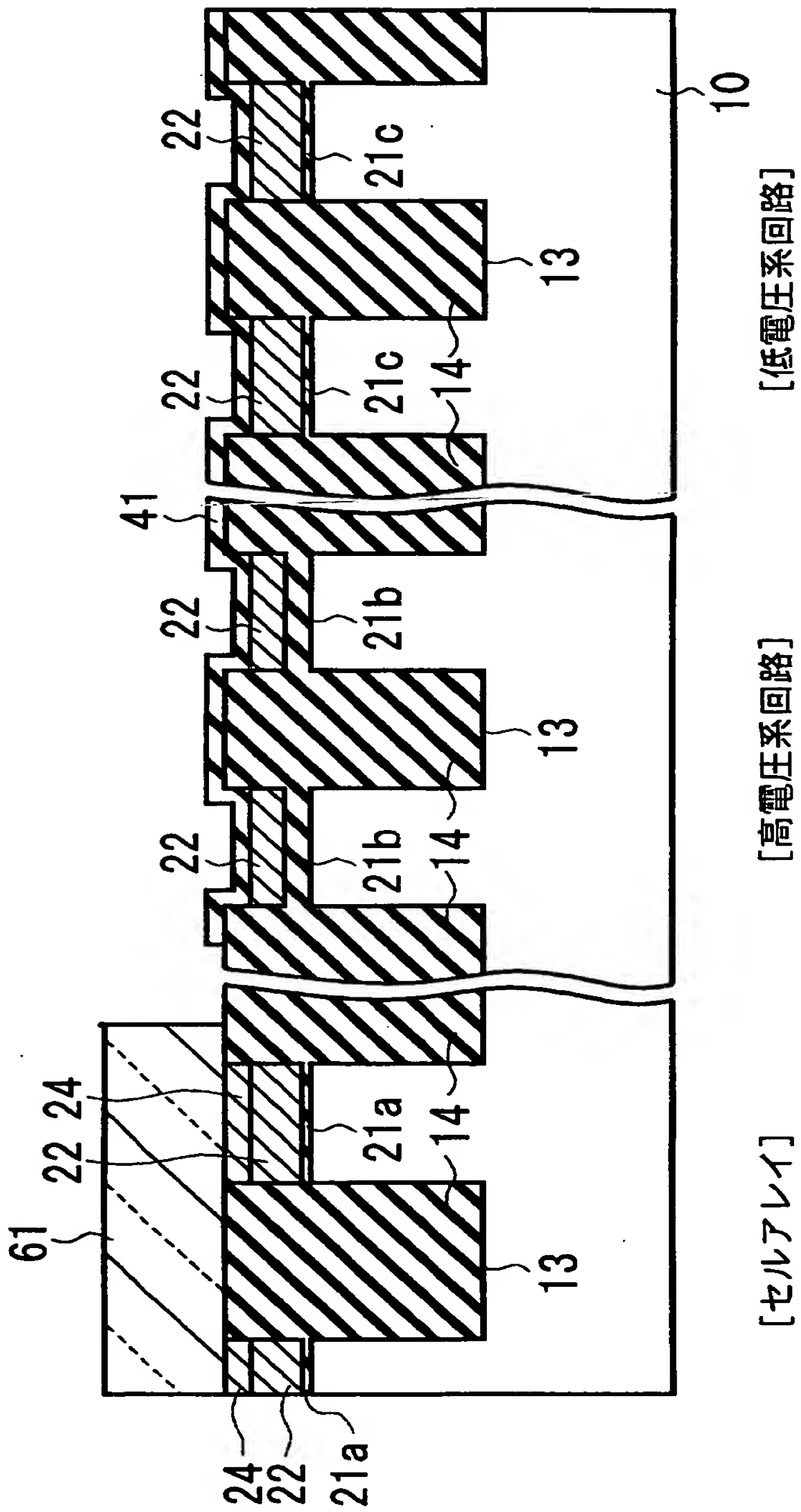
【図 2 9】



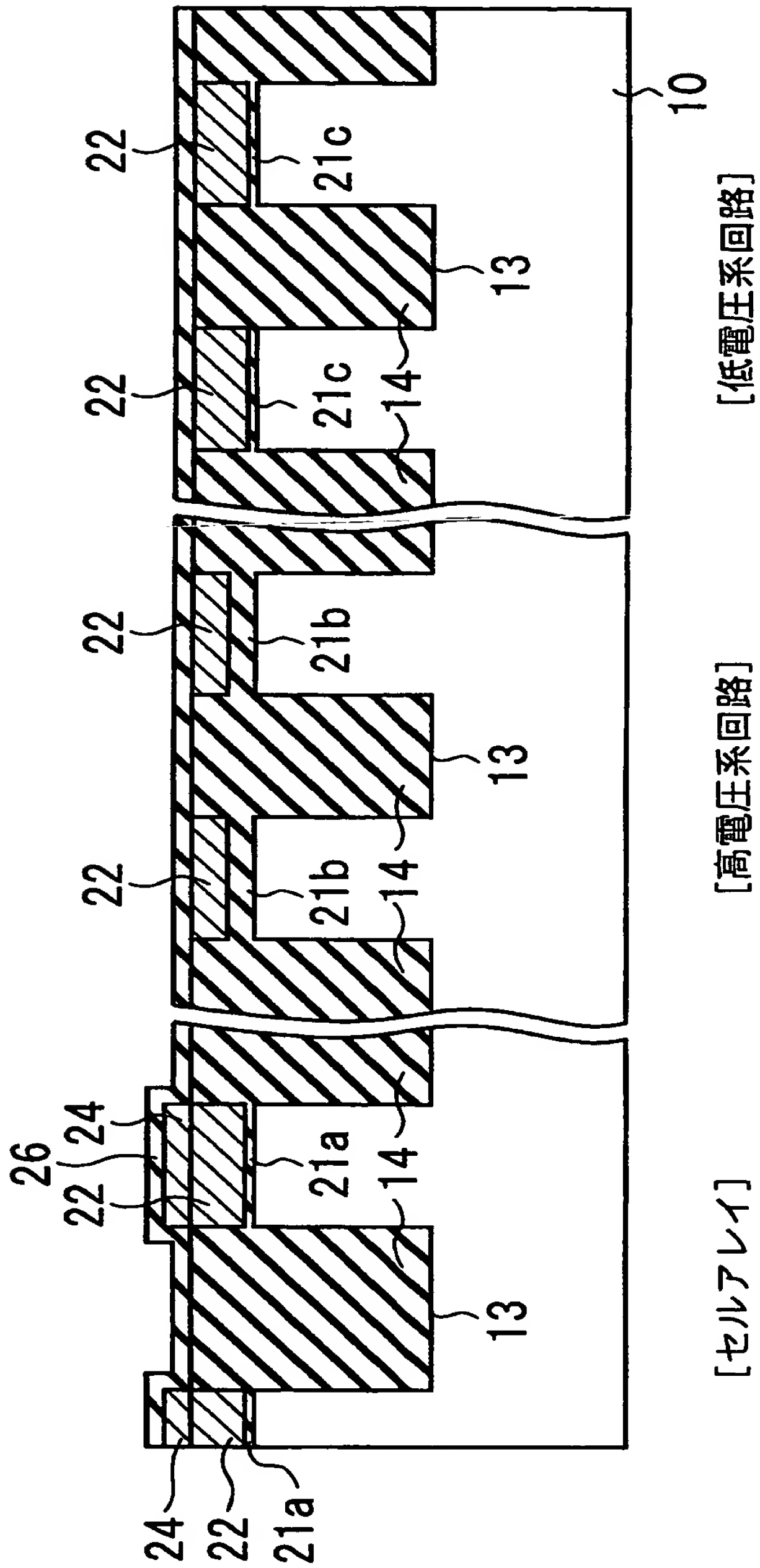
【図 3 0】



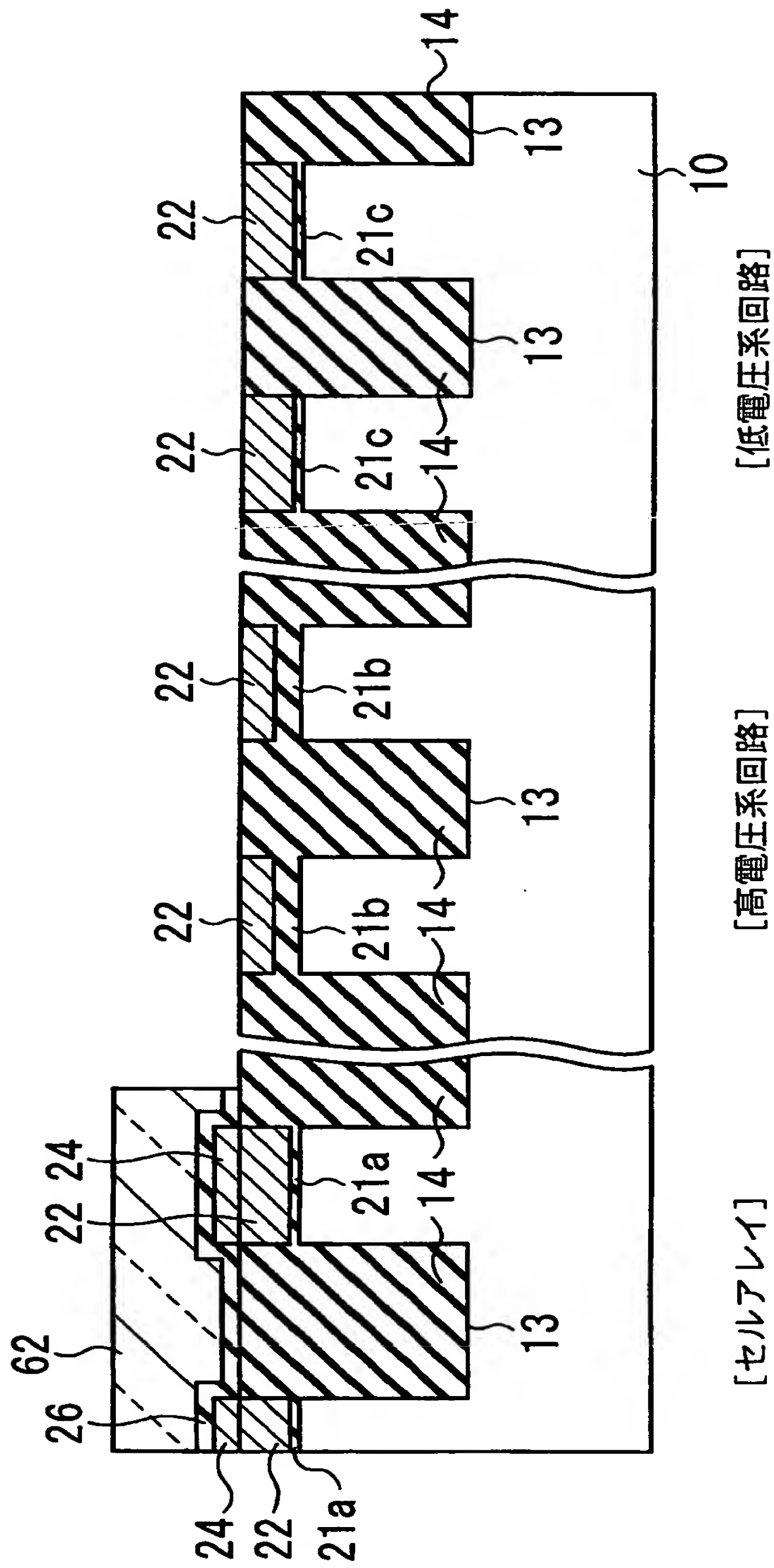
【図 3 1】



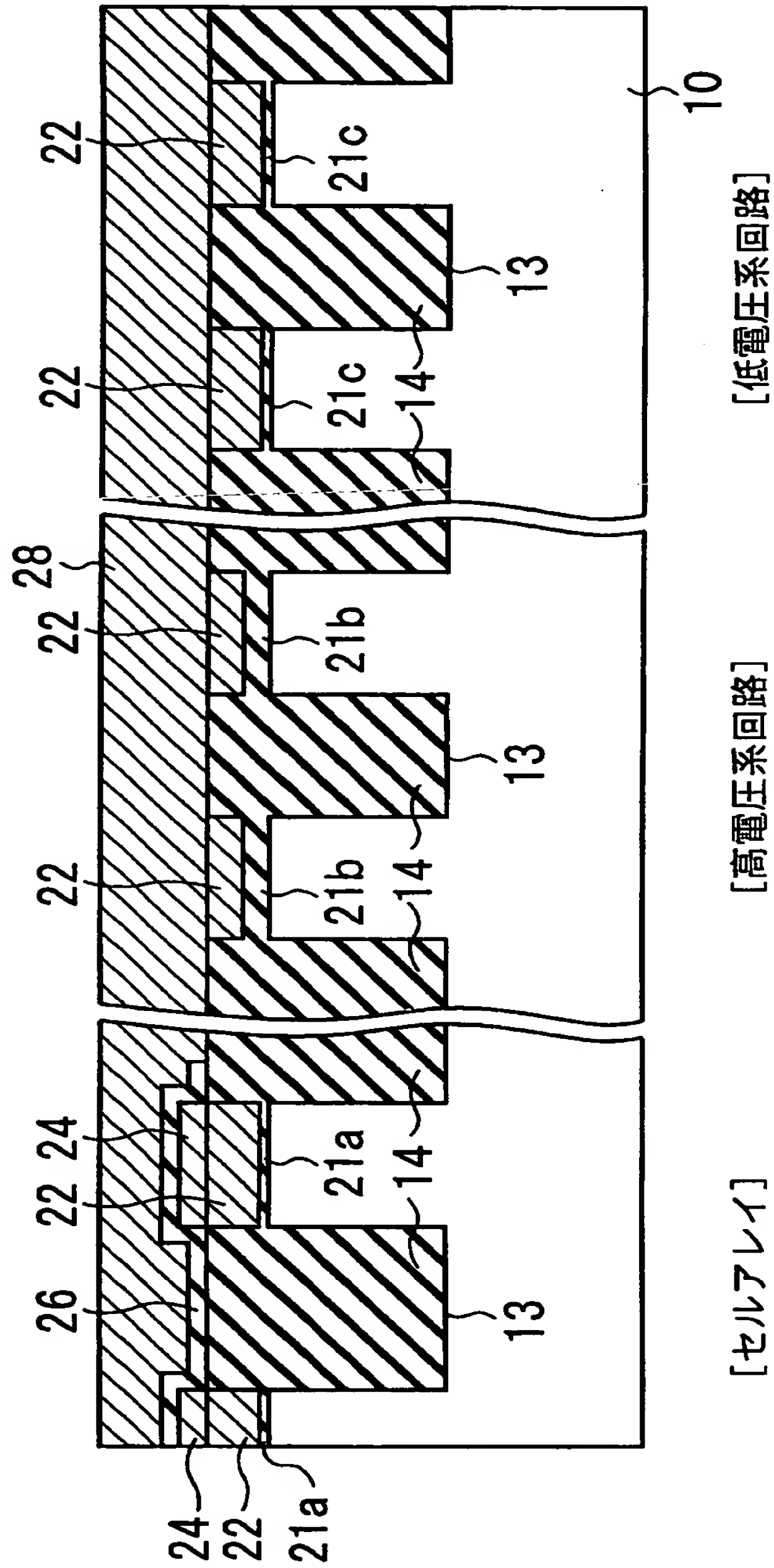
【図 3 2】



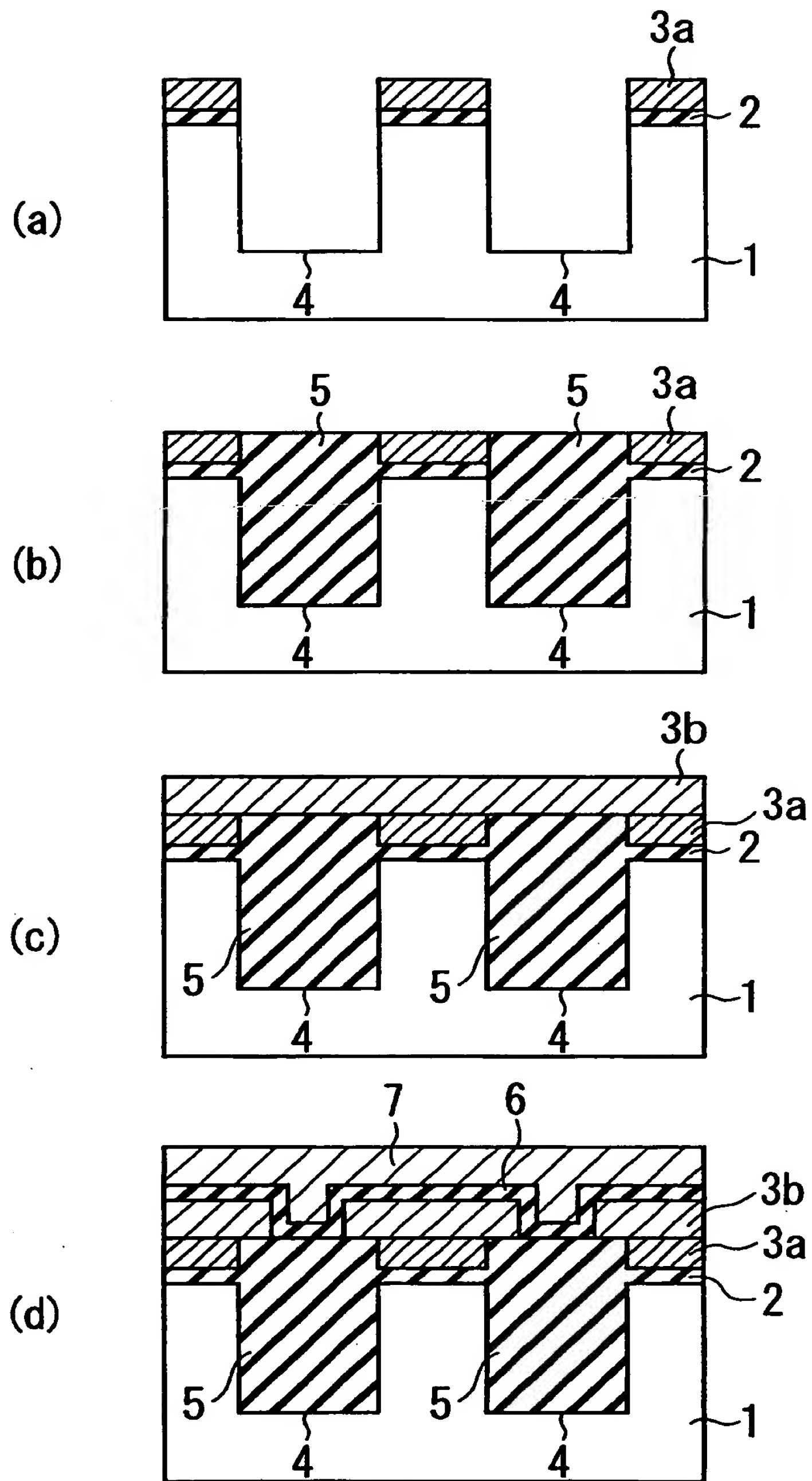
【図 3 3】



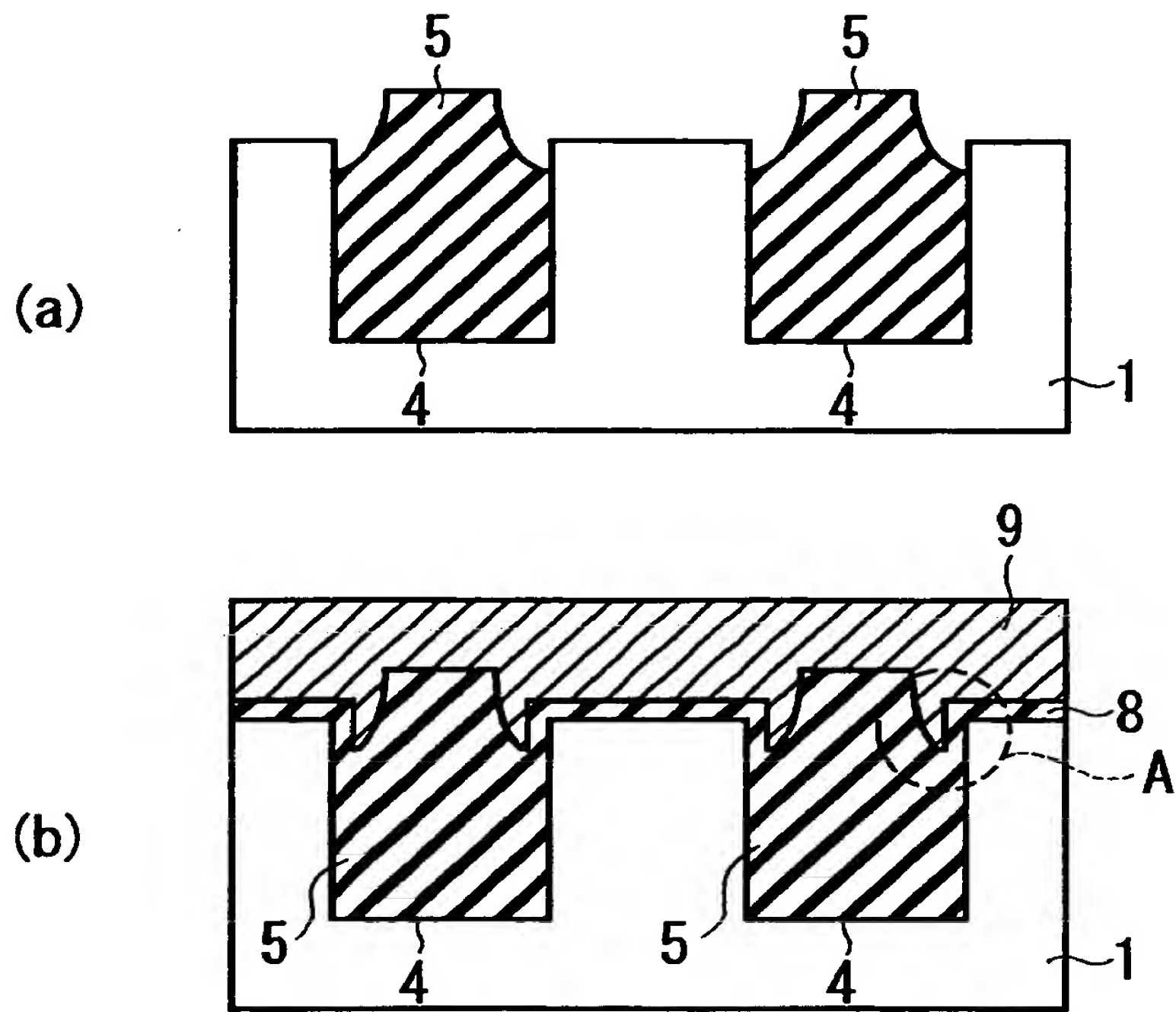
【図 3 4】



【図 3 5】



【図 3 6】



【書類名】 要約書

【要約】

【課題】 周辺回路の特性及び信頼性向上を図った半導体メモリ集積回路とその製造方法を提供する。

【解決手段】 セラレイ領域のトンネル酸化膜 2 1 a、周辺回路の高電圧系回路のゲート酸化膜 2 1 b 及び低電圧系回路のゲート酸化膜 2 1 c を最適膜厚で形成し、これらの上を第 1 層多結晶シリコン膜 2 2 で覆う。その後素子分離溝 1 3 を形成し、素子分離絶縁膜 1 4 を埋め込む。第 1 層多結晶シリコン膜 2 2 はノンドープ膜であり、素子分離後にセラレイ領域では第 2 層多結晶シリコン膜 2 4 にリンをドープして、第 1 層多結晶シリコン膜 2 2 と第 2 層多結晶シリコン膜 2 4 による浮遊ゲートを形成する。メモリセルの制御ゲートは第 3 層多結晶シリコン膜 2 8 により形成する。周辺回路では第 1 層多結晶シリコン膜 2 2、第 2 層多結晶シリコン膜 2 4 及び第 3 層多結晶シリコン膜 2 8 の積層膜によりゲート電極を形成し、各トランジスタ領域にそれぞれ最適条件で不純物をイオン注入する。

【選択図】 図 1 3

特 2 0 0 0 - 1 7 4 1 2 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町 7 2 番地

氏 名 株式会社東芝